

LISTE DES THESES CIFRE ST Microelectronics Crolles proposées à la rentrée 2010 en TECHNOLOGIES et en DESIGN
Mise à jour au 1er juin 2010

Pour toute information complémentaire, contacter l'encadrant ST (email OWNER)

TITLE	OWNER	email OWNER
Analyse du bruit substrat et couplage entre TSV et transistors dans les circuits 3D	alexis farcy	alexis.farcy@st.com
Variability Modeling for Large Scale Circuit Design in advanced CMOS Technologies	andre juge	andre.juge@st.com
Caractérisation électrique des transistors MOS décanométriques d'architecture innovante.	antoine cros	antoine.cros@st.com
Développement de procédés de gravure à base de plasmas pulsés : application à la grille H KMG	christophe verove	christophe.verove@st.com
innovative process steps for 20/22 nm CMOS	daniel bensahel	daniel.bensahel@st.com
nouveaux précurseurs HK et MG pour les technologies 20/22 nm	daniel bensahel	daniel.bensahel@st.com
Behavioral antenna modeling from RF to MMW for amplifier-antenna agile matching	daniel gloria	daniel.gloria@st.com
Modelisation des effets électriques dans des architectures SiGe High K/ Metal Gate	denis rideau	denis.rideau@st.com
Etudes structurales et morphologiques des Epitaxies pour TBH	didier dutarte	didier.dutarte@st.com
Understanding of Early Fails in CMOS interconnects for robust lifetime extrapolation	emmanuel petitprez	emmanuel.petitprez@st.com
Heterojunction Bipolar Transistor reliability modeling: from device physics to RF circuitry	florian cacho	florian.cacho@st.com
Silicon package fro RF applications	jf carpentier	jean-francois.carpentier@st.com
Gap-Fill process for C28 and C22 STI	laurent favennec	laurent.favennec@st.com
Collage direct et auto-alignement pour l'integration 3D	laurent-luc chapelon	laurent-luc.chapelon@st.com
Etude et caractérisation des interco intermetalliques type CuSn pour l'integration 3D	laurent-luc chapelon	laurent-luc.chapelon@st.com
Développement de la cartographie chimique 2D et 3D par spectroscopie X en TEM	nadine bicais	nadine.bicais@st.com
Bipolar SPICE Modeling Solution Towards Terahertz	nicolas derrier	nicolas.derrier@st.com
Analyse des propriétés diélectriques et physico-chimiques de polymères pour l'intégration 3D	sandrine lhostis	sandrine.lhostis@st.com
Démonstration de l'intérêt des dispositifs à grille enrobante (de type GAA ou film mince) pour les noeuds sub-16nm	stephane monfray	stephane.monfray@st.com
Lithographie par division de pas de réseau pour les circuits logiques avancés	vincent farys	vincent.farys@st.com
Methods to optimize BEoL architectures & reliable fracture mechanics simulation in the frame of 3DI	vincent fiori	vincent.fiori@st.com
Back-End DIELECTRIC RELIABILITY	david roy	david.roy@st.com
Lower Power CMOS Technologies	thomas skotnicki	thomas.skotnicki@st.com
Silicon Photonics Model and Characterization	frederic boeuf	frederic.boeuf@st.com
maîtrise du rendement pour les technologies 32nm et au-delà	brigitte boulloud	brigitte.boulloud@st.com
Reduction de la dispersion intra-champ pour ameliorer la performance des technologies 45nm et 40nm	bruno garcin	bruno.garcin@st.com
Détection Multidimensionnelle au Test Paramétrique avec recherche automatique des causes.	francois pasqualini	francois.pasqualini@st.com
AMHS Optimization	gilles lamiable	gilles.lamiable@st.com
valeur du porte-feuille des projets de recherche avancee	patrick cogez	patrick.cogez@st.com

Sujets supplémentaires au 1er Juin 2010

Modélisation physique des procédés de réalisation des dispositifs FDSOI pour le noeud 20nm et au-delà	ardechir pakfar	ardechir.pakfar@st.com
Optimisation des profils et fuites de jonctions complexes des Imagers BSI et CMOS avancés dans le cadre du projet ATEMOS	ardechir pakfar	ardechir.pakfar@st.com
Compréhension des mécanismes de formation de défauts sur les surfaces métalliques	lucile broussous	lucile.broussous@st.com
Impact des traitements plasma et chimie de nettoyage sur les low-k poreux. Compréhension des mécanismes de diffusion des liquides et gaz dans ces matériaux	lucile broussous	lucile.broussous@st.com
Gate last CMP process for 22nm technology	maurice rivoire	maurice.rivoire@st.com
Stack HKMG: Impact de l'environnement du high-k sur les performances des transistors	michael grosjean	michael.grosjean@st.com
Etude des strategies de protection d'un SoC contre la decharge electrostatique de type CDM	alexandre dray	alexandre.dray@st.com
Ultra Low Power Analog Design Solutions for mmW Fast File Downloading applications in CMOS 65/32nm p	andrea cathelin	andrea.cathelin@st.com
Sub-Threshold or Near-Threshold memory SRAM design in most advanced technologies for medical applications or mobile applications	david turgis	david.turgis@st.com
Stratégie d'alimentation des SoC Digitaux "ultra low power"	frederic hasbani	frederic.hasbani@st.com
Stratégie d'alimentation des SoC RF "ultra low power"	frederic hasbani	frederic.hasbani@st.com
Compensation digitale pour convertisseur AD large bande hautement parallélisé	pascal urard	pascal.urard@st.com
Exploration d'architectures digital-RF pour liens série hauts débits	pascal urard	pascal.urard@st.com
Dvpt des technologies mémoire " back-end " résistives à base d'oxydes.	philippe candelier	philippe.candelier@st.com
Etude et exploitation de la technologie FDSOI 22nm pour les applications numériques basse consommation	philippe flatresse	philippe.flatresse@st.com
Etude et recherche de solutions permettant un stockage sécurisé de l'information pour memoires non-volatiles	philippe gendrier	philippe.gendrier@st.com
Etude de la modelisation de l'electromigration dans les librairies	remy chevallier	remy.chevallier@st.com
Innovative radhard design solutions for low power automotive/medical applications	sylvain clerc	sylvain.clerc@st.com
Etude et exploitation des techniques de compensations pour la gestion de la variabilité et de la consommation	sylvain engels	sylvain.engels@st.com
compensation fuite de l'Oscillateur Local dans un transmetteur	Patrice Garcia	patrice.garcia@st.com