

Liste des thèses CIFRE ST Microelectronics Crolles proposées à la rentrée 2011-2012

20 avril 2011

Pour toute information complémentaire, contacter l'encadrant ST (email OWNER)

DESIGN

TITLE	OWNER	email OWNER
mmW LNA-Antenna Co-Design	didier belot	didier.belot@st.com
RF metric for Ultra Low Power	didier belot	didier.belot@st.com
Etude d'une solution de localisation dans un reseau de capteurs sans fils	thierry michel	thierry.michel@st.com
Evaluation des performances et optimisation de systemes en virgule fixe	thierry michel	thierry.michel@st.com
Flot d'analyse FMDEA de circuits logiques soumis a des soft erreurs pour la certification ISO26262	jean-marc daveau	jean-marc.daveau@st.com
Heterogenous 3D integration of active RFID circuits in CMOS 65/32nm processes	andrea cathelin	andrea.cathelin@st.com
Méthodologie statistique de modélisation pour l'optimisation de l'offre SRAM "basse puissance"	lorenzo ciampolini	lorenzo.ciampolini@st.com
New I/O implementation scheme in matrix: conception, automation and validation	sebastien lotito	sebastien.lotito@st.com
Physical LayerFor Wireless Sensor Networks	bruno paille	bruno.paille@st.com
Protocols Stacks for Energy Harvested Wireless Sensor Networks	roberto guizzetti	roberto.guizzetti@st.com
Compensation digitale pour convertisseur AD large bande hautement parallélisé	thierry simon	thierry.simon@st.com
28nm CMOS and/or FDSOI Ultra Low Voltage system design, towards autonomous environment compensation, on demand supply modulation, architectural optimization and variability mitigation	sylvain clerc	sylvain.clerc@st.com
low power, optimal energy point implementation for microprocessor application	laurent bergher	laurent.bergher@st.com
Analyse et conception de circuits analogiques de gestion de la sécurité embarquée sur procédé CMOS	joel damiens	joel.damiens@st.com
Stratégie d'alimentation des « SOC » LOW-POWER	severin trochut	severin.trochut@st.com
Sense & React Strategy for mmW High Data Rate applications	andrea cathelin	andrea.cathelin@st.com

TECHNOLOGIE

TITLE	OWNER	email OWNER	Réf
Amélioration du Procédé de Lithographie par l'introduction de la modélisation rigoureuse en OPC	jean-christophe le-denmat	jean-christophe.le-denmat@st.com	11-ST01
Capteur d'Images CMOS à Tranchée d'Isolation Active (CDTI)	arnaud tournier	arnaud.tournier@st.com	11-ST02
3D Interposer for thermal management	pascal ancey	pascal.ancey@st.com	11-ST04
3D Piezo Materials Integration for Energy Scavenging	pascal ancey	pascal.ancey@st.com	11-ST05
Caractérisation et Modélisation de Photodiodes intégrées sur Silicium	daniel gloria	daniel.gloria@st.com	11-ST11
Nanolasers hybrides III-V sur silicium	frédéric boeuf	frederic.boeuf@st.com	11-ST42
Laser Germanium	frédéric boeuf	frederic.boeuf@st.com	11-ST34
Etude des réseaux de couplage surfaciques en 2D pour relier des fibres optiques à une puce opto-électronique.	frédéric boeuf	frederic.boeuf@st.com	11-ST13
Diminution de la variabilité du procédé lithographique pour les nœuds technologiques avancés	jonathan planchot	jonathan.planchot@st.com	11-ST15
Etude de la fiabilité des diélectriques des technologies sub-32nm	mustapha rafik	mustapha.rafik@st.com	11-ST18
FDSOI reliability -- From device to product	vincent huard	vincent.huard@st.com	11-ST22
Fiabilité et dégradation à l'échelle nanométrique par sonde locale de mosfet 32à 20 nm	serge blonkowski	serge.blonkowski@st.com	11-ST23
Fiabilité in-situ des interconnexions 3D	alexis farcy	alexis.farcy@st.com	11-ST25
Gestion de la dissipation thermique dans les empilement 3D TSV middle	alexis farcy	alexis.farcy@st.com	11-ST28
Filtre spectral pour Imageur CMOS	pascal ancey	pascal.ancey@st.com	11-ST26
Ingenierie et simulation des stressseurs front-end en C028FDSOI et C20FDSOI	clément tavernier	clement.tavernier@st.com	11-ST30
Interaction wet clean & résine photo-sensible	philippe garnier	philippe.garnier@st.com	11-ST31
Modelisation des dispositifs de protection esd en FDSOI	pascal fonteneau	pascal.fonteneau@st.com	11-ST36
Modelisation des phenomenes d'electromigration dans les technologies C28 et C20	clement tavernier	clement.tavernier@st.com	11-ST37
Méthodologie de mesure et analyse des phénomènes de mismatch sur les transistors MOS avancés (28nm bulk/SOI et 20nm)	aurélié bajolet	aurelie.bajolet@st.com	11-ST40
Prochaine génération de high-k pour les MIMs et les eDRAMs	mickael gros-jean	mickael.gros-jean@st.com	11-ST46
Regular Topology Solution	bertrand borot	bertrand.borot@st.com	11-ST48
Optimisation SPAD pour applications Imaging	didier herault	didier.herault@st.com	11-ST49
Salicide formation mechanisms on SiGe nanoscale patterns	magali gregoire	magali.gregoire@st.com	11-ST51
Transistors Bipolaires Si/SiGe:C Rapides pour Technologie BiCMOS 55 nm	pascal chevalier	pascal.chevalier@st.com	11-ST56
Variability Analysis and Modeling for Circuit Design in Deca-nanometer CMOS technology	andre juge	andre.juge@st.com	11-ST57
Dégazage pour litho avancée	daniel bensahel	daniel.bensahel@st.com	11-ST59
Nouveaux matériaux de contacts CMOS	daniel bensahel	daniel.bensahel@st.com	11-ST66
Mémoire NVM	Fausto Piazza	fausto.piazza@st.com	-
Mémoire NVM	Fausto Piazza	fausto.piazza@st.com	-