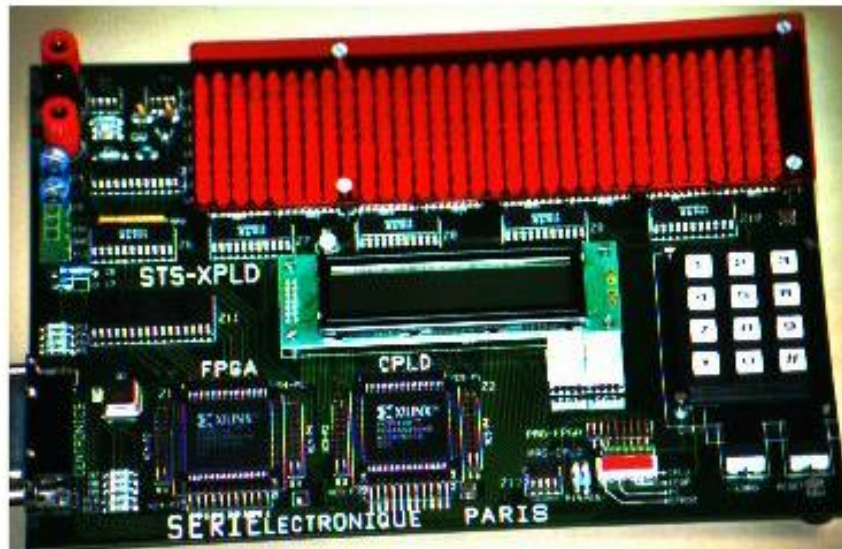


Pôle CNFM de Limoges – PLM

V H D L (6 TP x 2H)

Objectif : Le TP de VHDL est la mise en pratique du langage VHDL dispensé en cours. Les élèves utilisent ce langage accompagné des circuits en schématique pour créer des applications pratiques sur CPLD ou FPGA



Equipements: La plaquette d'étude STS-XPLD est fabriquée par SERIElectronique et permet d'implanter des circuits logiques combinatoires ou séquentiels sur FPGA Xilinx XC 40XX ou CPLD Xilinx XC 95108. Nous utilisons des générateurs de fonctions et des oscilloscopes pour valider l'implantation

Logiciel : Foundation Series 3.1i

Formation utilisatrice : 3^{ème} année ENSIL / Electronique Télécommunications & Instrumentation

Enseignant/contact : Vahid MEGHDADI meghdadi@ensil.unilim.fr