

## **Simulation de Technologie et de Dispositif : Etude du Transistor MOS**

**MOTS CLEFS** : Simulation de procédé, de dispositif, Silvaco, Athena, Atlas

### ***OBJECTIFS*** :

Ce TP fournit une introduction aux techniques de simulation de composants. Il permet, d'une part, d'aborder la modélisation des principales étapes de fabrication technologique (gravure, dépôt, implantation ionique, diffusion, oxydation, épitaxie...) et d'autre part, de se former aux techniques de simulation de dispositifs afin d'extraire les principales caractéristiques électriques représentatives des performances du composant.

### ***ILLUSTRATION TP*** :

- Définition des étapes de fabrication d'un transistor MOS (flow chart)
- Transcription sous Athena des étapes correspondantes
- Extraction sous Atlas des principaux paramètres et analyse des performances électriques (VT, Gm, Gd, Ioff, Ion, Ioff /Ion, swing ...)
- Optimisation du dispositif par bouclage simulation de procédé/dispositif

### ***Matériels/Techniques utilisés*** :

Station de travail SUN et codes de simulation Silvaco  
Station de travail HP

***Durée du stage*** : 16 heures

***Niveau*** : Généralistes (Bac+4) et spécialistes (Bac+5)

***Formations utilisatrices*** : Ingénieurs ISEN, Maîtrise EEA Lille (stage + TER).

***Mise en œuvre*** : Xavier Baie, Henri HAPPY

***Contact*** : Xavier Baie

- **TEL.** : 03.20.19.79.75

- **E MAIL** : [xavier.baie@isen.iemn.univ-lille1.fr](mailto:xavier.baie@isen.iemn.univ-lille1.fr)