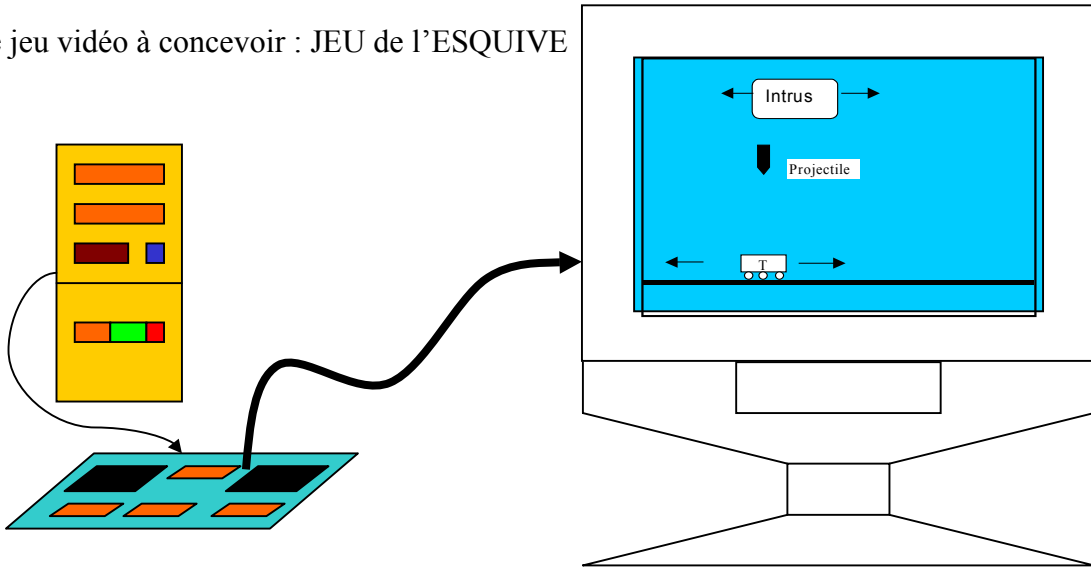


Conception de circuits FPGA en VHDL synthétisable

L'objectif est de concevoir un circuit implémenté sur FPGA à partir d'une description en langage VHDL synthétisable. Le sujet est en général tourné vers la réalisation d'un jeu vidéo. Le travail est réalisé en groupe de 12 à 16 élèves.

Exemple de jeu vidéo à concevoir : JEU de l'ESQUIVE



Le logiciel : l'environnement de développement VHDL de MAXplusII et bientôt FPGA advantage
Le matériel utilisé est la maquette UP1 d'Altera (le CPLD, l'horloge, les boutons poussoirs et les afficheurs 7 segments) ainsi qu'un écran VGA

Les formations utilisatrices:

- Maîtrise IUP GEII option
Conception des Systèmes
Électroniques
- DESS ISEE

Travail et acquisition de compétences

- Analyse fonctionnelle de haut niveau délimitant la tâche de chacun des membres du groupe.
- Analyse fonctionnelle pour chacune des fonctions du système.
- Conception VHDL RTL
- Tests unitaires des fonctions.
- Rédaction d'un document incluant l'ensemble des tests.
- Après la phase de conception le résultat est testé en vraie grandeur et chacun des points du cahier des charges est vérifié.

Enseignants:

Serge WEBER
Yves Berviller

Contact: Serge.Weber@lien.uhp-nancy.fr