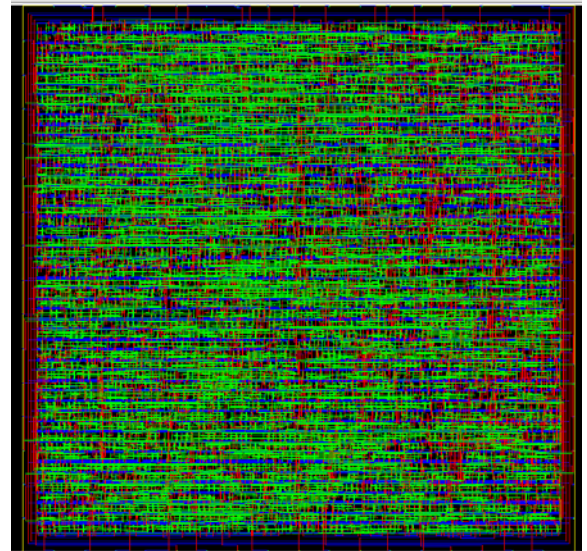
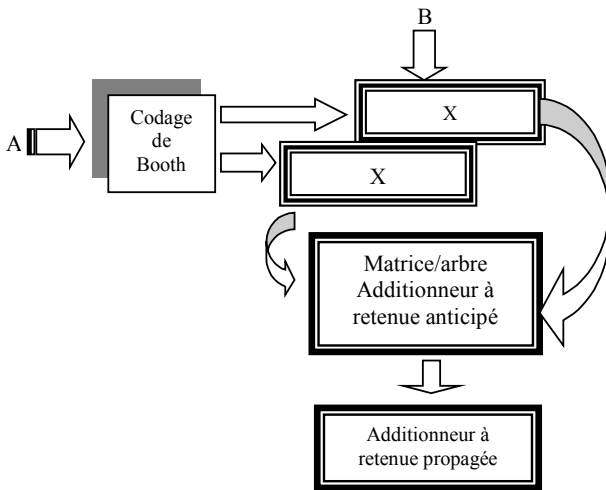


Conception d'un circuit multiplieur 16 x 16bits en technologie CMOS 0,35um

L'objectif est de concevoir et réaliser, dans le temps imparti, le circuit le plus rapide et le plus compact possible au niveau du dessin des masques. Afin de respecter ces deux critères d'optimisation, la structure de Booth semble la mieux adaptée. La technologie à utiliser est imposée (CMOS AMS 0.35 μ m). L'évaluation des solutions proposées prendra en compte le bon fonctionnement final du circuit, ses performances au niveau du temps de réponse (critère essentiel) et de la taille (du coût), mais aussi la qualité de l'étude et de la documentation associée.



Le logiciel : CADENCE

Le matériel : Stations de travail SUN

Enseignants:

Sylvain POUSSIER

Hervé MATHIAS

Etapes :

- Conception fonctionnelle du multiplieur
- Dessin des masques
- Rédaction d'un compte rendu d'étude

Les formations utilisatrices:

- DESS Ingénierie des systèmes
Electroniques Embarqués (ISEE)

Contact: Sylvain.Poussier@lien.uhp-nancy.fr