

Compte rendu réunion du 07 juin 2011 Nano-Innov Conception

Le GIP-CNFM a organisé une première réunion le 15 septembre 2010 à MINATEC sur une réflexion relative à la conception dans le cadre de Nano-Innov, comme cela a été prévu dans le contrat avec le Ministère. Afin d'approfondir la réflexion grâce à l'extension de la durée du projet accordée par l'ANR, une seconde réunion atelier a été organisée le 07 juin 2011 à MINATEC.

Cet évènement a réuni 10 participants représentant aussi bien le monde académique que le monde industriel directement concerné par l'évolution de ce domaine pour les technologies industrielles de demain.

Présents : Olivier Bonnaud (GIP-CNFM), Ahmad Bsiesy (CIME), Laurent Fesquet (CIME), Arnaud Bournel (PMIPS), Yves Leduc (Texas-Instrum./pôle PACA), Pascal Nouet (Service Nationaux CNFM), Isabelle Trimaille (CEMIP), Vincent Fischer (Infiniscale), Patrick Dos Santos (Cadence)

Secrétariat : Lorraine Chagoya-Garzon

Absents excusés : Bernard Courtois (CMP), Hervé Courtois (UJF), Firas Mohamed (Infiniscale), Alain Fontaine (CNRS), Fabien Boulanger (Minalogic)

Les débats ont été organisés sur la base de plusieurs présentations de spécialistes du programme Nano-Innov ou des industriels. Les points forts des présentations sont relatés dans le compte-rendu.

Présentation de Olivier BONNAUD

Après un rappel des objectifs du programme Nano-Innov et des réflexions demandées, les points forts analysés lors du workshop du 15 septembre 2010 ont été rappelés. Il avait été mis en évidence les sujets pendents dont l'importance pourra être croissante lors du développement des nanoélectroniques et nanosystèmes. Les aspects liés à la variabilité des paramètres, ce qui modifie profondément l'approche de la conception et les effets tridimensionnels et les aspects tridimensionnels, qui complexifient fortement les méthodes de calcul. Après une présentation de l'agenda, les exposés ont été lancés.

En discussion préliminaire, il a été rappelé où se situe l'EDA (Electronics Design Automation) dans les métiers de la micro nanoélectronique :

- technologie,
- masque,
- circuits,
- test et caractérisation,
- CAD / EDA.

Les outils doivent être adaptés à ces différents sous-domaines qui ont tous la finalité de créer un produit manufacturable, faible coût, fiable.

Présentation de Vincent Fischer (Infiniscale) : Variabilité et challenge de l'analogique.

L'exposé a été fondé sur le challenge de l'électronique analogique qui n'utilise que 2% des composants élémentaires (transistors), 20% de la surface de silicium mais 50% de l'effort intellectuel et du travail ingénieur.

L'analogique revêt une importance majeure dans de très nombreuses applications. Même si la vision extérieure du système demeure numérique, son fonctionnement est intrinsèquement analogique. De nombreuses applications numériques, telles que des mémoires à plusieurs niveaux de tensions (multi-bit par transistor élémentaire) ou des traitements haute fréquence nécessitent une connaissance fine de leur comportement analogique pour garantir le bon comportement du circuit après fabrication.

Dans cet espace, la variabilité est devenue un enjeu majeur et incontournable. Par exemple, les effets de la variabilité dans une technologie 32nm sont bien plus sensibles qu'en 65nm. De plus, il faut prendre en compte la variabilité à plusieurs niveaux : variabilité globale, variabilité des procédés de fabrication inter- et intrapuce, variabilité de l'environnement (tension, température), variabilité des composants dans le temps (vieillessement).

Par ailleurs, les effets sont de plus en plus non linéaires et les techniques de simulation avec des approches itératives simples sont insuffisamment performantes (temps de simulation très long). Les techniques de vérification par les *corners* se montrent de moins en moins fiables et les extrapolations faites avec les simulations *corners* ne sont plus valides. Afin de mesurer les effets des variabilités, on réalise usuellement des simulations de type Monte-Carlo qui établissent une statistique sur un grand nombre de simulations obtenues avec un tirage aléatoire des paramètres variables. Il faut dans ce cas prendre en compte le nombre d'échantillons à tester. En effet, la précision de l'approche est liée au nombre de tests (en racine du nombre). La méthode de validation n'a de sens que si l'on respecte les règles statistiques permettant de garantir un intervalle de confiance approprié.

Il faut donc réfléchir à une approche pédagogique de la variabilité car elle fait intervenir en premier lieu des connaissances mathématiques (statistiques), une compréhension fine de la physique et de l'élaboration des circuits, mais aussi de leur implémentation. L'objectif est de sensibiliser dans un premier temps les étudiants par une introduction ludique à la nécessité de prendre en compte la variabilité (pas nécessairement en électronique). A partir de cette initiation, on pourra aborder les problèmes réels du monde de la nanoélectronique.

- Etape 1 : statistique et mathématiques simples (savoir)
- Etape 2 : variabilité ludique (appréhension des problèmes par des analogies ou par l'échec)
- Etape 3 : variabilité dans l'électronique (savoir-faire)

Patrick Dos Santos : Design des circuits en 3D

Les outils de CAO pour la microélectronique ont évolué au cours du temps pour prendre en compte les évolutions vers la nanoélectronique qui implique une complexité toujours plus grande et une hétérogénéité de plus en plus incontournable. Evolution de l'intégration :

- interconnexion de blocs numériques et analogiques sur une même puce (1990),
- technologie flip Chip Interconnexion d'interface (1995),
- empilement de puces (2000),
- assemblage sur assemblage (Package on package, 2005),
- 3D-IC interconnexion par des *via* traversants entre les puces (2010).

Systems-on-chip (SOC), system in package (SiP) multipuces, 3D-puce multiples TSV (through silicon *via*).

Problèmes : couplage, interférence, alimentation, bruit, rayonnement, longueur d'interconnexion, consommation et puissance dissipée locale.

Dans la pratique, les systèmes multi-puces peuvent s'intégrer par le biais de différents assemblages et interconnexions. Ces assemblages augmentent les risques d'interférences entre puces. Les outils de CAO devront à l'avenir mieux prendre en considération ces aspects. Par exemple, dans le cadre de l'intégration 3D, l'usage de *via* verticaux (TSV) est susceptible d'introduire des effets qui ne sont aujourd'hui pas pris en compte dans les outils CAO de back-end.

Ainsi concevoir un système assemblant plusieurs puces par assemblage dans un boîtier (*System in Package*) ou par intégration 3D nécessite de concevoir globalement le système en intégrant simultanément les problèmes de la conception des puces, de leur assemblage et de leur mise en un boîtier (voire même de leur implantation sur une carte). Le codesign est devenu un outil essentiel et stratégique pour la réalisation de systèmes complexes et hétérogènes.

Néanmoins de nombreux verrous techniques subsistent pour parvenir à intégrer l'ensemble de ces étapes dans un flot de conception. Les développements actuels des outils CAO visent à simplifier la

co-conception et à favoriser l'établissement de liaisons entre chacune des étapes technologiques afin d'éliminer ces verrous.

Afin de parvenir à un environnement de co-conception globalisé, il faut modifier les outils existants, introduire de nouveaux paramètres et introduire de nouvelles méthodes.

Nous avons noté les évolutions suivantes :

- ses nouvelles règles de dessin,
- des nouvelles surfaces pour le layout,
- des nouvelles règles pour les *via* traversant,
- nouvelles stratégies d'empilement (à quel étage localiser tel circuit),
- le rajout de phénomènes mécaniques et thermiques ;
- des nouveaux modèles physiques.

Quid de l'empilement hétérogène ?

Combinaison de circuit logiques, analogiques et RF. Nouveaux outils en développement : flow de conception 3D IC comprenant :

- exploration du niveau système,
- localisations des *via* traversants et billes pour assemblage de type « flip-chip »,
- implémentation, placement, routage,
- extraction et analyse (puissance, température),
- design pour le test (DFT),
- co-design de l'assemblage,
- nouvelles méthodes de test.

Problème pédagogique : Comment avoir une formation sur les *via*. Faut-il avoir des substrats avec des *via* traversants préexistants et adaptables ? Par ailleurs, il faut s'assurer de la compatibilité mécanique, thermique et électrique des circuits empilés. Il est question d'une standardisation des *via* traversants pour rendre compatible les différents circuits (mémoires et processeurs par exemple). Les problèmes thermiques restent latents.

Le nouvel outil Cadence est un supplément aux versions antérieures. Il faudrait savoir si la connaissance des outils 3D sera utile au niveau de la formation initiale, le passage au 3D pouvant intervenir dans une phase de spécialisation approfondie ou en thèse principalement.

Vision synthétique des problèmes de conception en nanoélectronique à l'issue de la table ronde.

L'évolution de la microélectronique vers la nanoélectronique doit-être vue comme une succession de ruptures rendues invisibles par les différents acteurs mais pourtant bien présentes. La microélectronique c'était un assemblage de deux composants (transistors N et P) reproduits à des millions d'exemplaires et interconnectés afin de réaliser une fonction logique complexe. Les évolutions vers la nanoélectronique dictées par une volonté d'intégration et de réduction des coûts ont été accompagnées par des changements majeurs :

- il n'y a plus deux composants mais une bonne dizaine : il a fallu s'adapter aux différentes tensions d'alimentation (externes et internes), créer différentes épaisseurs d'oxyde de grille, ,
- un circuit n'est plus analogique ou numérique, il est mixte,
- certaines fonctions seront plus performantes sur des technologies spécifiques (RF, puissance, ...) : les assemblages multipuces sont indispensables,
- la valeur ajoutée de l'électronique des pays européens provient de composants originaux (capteurs par exemple) qui doivent être associés aux systèmes électroniques intégrés dans un même boîtier (contrainte de coût et d'encombrement).

On le voit donc, la nanoélectronique est avant tout hétérogène et complexe. Il faut donc prévoir de maîtriser simultanément la complexité et l'hétérogénéité. Cette dernière apparaît sous différentes facettes au niveau :

- du composant élémentaire avec ses spécificités technologiques éventuellement multi-domaines (MEMS, bioMEMS, NEMS,...),
- des fonctions électroniques élémentaires, au sein d'un même circuit,
- des puces électroniques,
- des puces assemblées dans des approches bi et tridimensionnelles,
- de l'assemblage et de l'interconnexion.

La complexité apparaît essentiellement sous l'aspect d'un nombre extrêmement important de composants élémentaires, même si chacune des pièces élémentaires du puzzle peut apparaître relativement simple.

L'approche de la conception se situe donc dans cet environnement qui doit couvrir un spectre allant de la vision élémentaire à l'échelle nanométrique jusqu'à une vue synthétique d'ensemble au niveau d'un système complexe hétérogène pouvant être décrit par des langages unifiés de très haut niveau.

La conception en nanoélectronique apparaît dans la continuité des techniques actuelles mais avec des besoins accrus en modèles à l'échelle nanométrique pour les nouveaux composants (modèles multiphysiques), des performances de calculs accrues pour répondre à l'augmentation de la complexité, des langages de modèles unifiés pour des descriptions de très haut niveau, des approches statistiques pour tenir compte de la variabilité, et de la testabilité.

La formation des concepteurs du futur devra couvrir ce spectre large de compétences. Il est clair qu'au cours de sa formation initiale, le futur diplômé ne pourra maîtriser de façon approfondie toute la chaîne mais il devra en avoir une idée suffisamment précise et choisira de se spécialiser dans une partie. Ainsi, les formations formeront des spécialistes capables d'échanger avec les autres acteurs, eux-mêmes spécialistes, de la chaîne nécessaire à la conception des systèmes hétérogènes, complexes et nanométriques !