



## Compte rendu réunion du 15 septembre Nano-Innov Conception

Le GIP-CNFM a organisé une réunion le 15 septembre à MINATEC, de 10 heures à 17 heures sur une réflexion relative à la conception dans le cadre de Nano-Innov, comme cela a été prévu dans le contrat avec le Ministère.

Cet évènement a réuni 13 participants représentant aussi bien le monde académique que le monde industriel directement concerné par l'évolution de ce domaine pour les technologies industrielles de demain.

**Présents :** Olivier Bonnaud (GIP-CNFM), Philippe Bourdeu d'Aguerre (AIME), Ahmad Bsiesy (CIME), Bernard Courtois (CMP), Alain Fontaine (Inst. L. Néel), Bernard Fontan (STMicronics), Laurent Fesquet (CIME), Vincent Gérard (STMicronics), Jacques-Olivier Klein (PMIPS), Georges LANDA (LAAS de Toulouse), Yves Leduc (Texas Instrum.), Pascal Nouet (Service Nationaux CNFM).

**Absents et excusés :** Eric Belhaire (Thales Optronique), Jean-Frédéric Clerc (CEA Grenoble), Alain Costes (LAAS Toulouse et resp. formation Nano-Innov), Hervé Courtois (Esonn), Pierre Gentil (GIP CNFM), Henri Happy et Virginie Hoël (Pôle Lille, excusés pour grève du contrôle aérien), Alain Leroy (CEA DRT Grenoble), Jean-Michel Lourtioz (IEF, resp. ANR pour Nano-innov), Robert Plana (MESR-DGRI), Sylvie Retailleau (Univ. Paris-sud), André Rouzaud (CEA-LETI Grenoble), Mark Scannell (CEA-LETI Grenoble), Claude Vanhecke (Thales et LAAS Toulouse).

**Secrétariat :** Lorraine Chagoya-Garzon (GIP-CNFM)

Les débats ont été organisés sur la base de plusieurs présentations de spécialistes du programme Nano-Innov et d'industriels. Les points forts des présentations sont relatés dans le compte-rendu.

### Présentation de Olivier BONNAUD

Après une présentation concise du GIP-CNFM et de son rôle dans la formation au niveau national, présentation de la journée, agenda et points importants de réflexion sur lesquels il faudrait pouvoir extraire des actions clefs. Ces points et les questions posées sont les suivants :

- Quel est le périmètre des nanotechnologies à considérer?
- Qu'entend-t-on par intégration des nanotechnologies?
- Quelle conception pour les objets (produits) intégrant des nanotechnologies ?
- Y a t il une formation spécifique à envisager?
- Quel contenu?
- Y a-t-il une formation pratique (des TP) à associer?
- Si oui, quels moyens sont nécessaires?
- Comment le CNFM peut-il intervenir sur ces aspects?
- Y a-t-il un complément d'étude qui pourrait être confié à un prestataire extérieur (quoi, à qui) ?

Toutes ces questions ont d'abord nécessité une compréhension de la situation et ensuite un débat d'idées afin de dégager dans un premier temps des actions à mener.

## **Présentation d'Alain FONTAINE pour le programme Nano-Innov.**

Les nanotechnologies : briques des systèmes complexes.

La formation dans le domaine est la priorité 7 sur les 10 priorités mentionnées dans le projet présenté à Madame la Ministre le 05 Mai 2009.

Annonce de 2008 du Président de la République : 70M€an pendant 5 ans, mais une seule année pour l'instant. C'est un problème important qui a été évoqué lors de la réunion Nano-Innov du 1<sup>er</sup> septembre à MINATEC portant sur le bilan de Nano-Ecole.

Les compétences sont éventuellement centrées sur les 3 grands sites d'Orsay-Saclay, Toulouse et Grenoble-Minatec, mais aussi sur d'autres sites français qu'il ne faut pas négliger.

La formation dans le programme a été considérée comme un volet non négligeable avec un financement de 1M€en 2010 (0,5 CNFM et 0,5collège et lycée, Esonn).

Pour l'Ecole Européenne ESONN, la formation au design n'a pas encore été adaptée aux nanotechnologies et nanoélectronique.

## **Présentation Yves LEDUC**

Position à la fois d'un industriel et d'un académique en raison de sa situation particulière en occupant la chaire TI à Sophia-Antipolis.

Premier point de vue de l'industriel. Il faut créer des produits manufacturables : une entreprise doit pouvoir gagner de l'argent sur un produit fabriqué. La nanoélectronique met en jeu pour l'instant des objets **trop petit, trop nombreux**. Cela fait peur aux industriels.

Pour le monde industriel, si ce domaine reste un axe stratégique de recherche, le transfert à l'industrialisation reste encore hypothétique. Il faut vaincre les verrous technologiques et commerciaux : différents procédés de fabrication et différents domaines de solutions (systèmes hétérogène et 3D) ; système explicitement partitionné.

Un système est par essence hétérogène. Problème du rapport de force entre analogique et digital par exemple. Le plus fort impose sa règle !

3 points importants :

- partition exploration,
- modélisation et intégration ; interaction entre les modules,
- programme de test, vérification paramétrique, analyses statistiques, méthodes statistiques : plan de simulation et plan de test ; il ne sera pas possible d'utiliser tous les outils ; il faut faire un choix. Le packaging prend une importance majeure.

En conclusion, le domaine nécessite certainement de l'étude amont, mais cela n'aboutit pas encore à des produits manufacturables. L'aspect conception doit se focaliser sur les produits en production actuellement qui suivent la loi de Moore, donc le domaine de la nanoélectronique.

## **Présentation Bernard FONTAN**

Besoins de formations aujourd'hui pour la conception en microélectronique vers les dimensions nanométriques ; il faut déjà assurer cette évolution qui est très rapide et qui a de grands besoins :

- architecture,
- développement IP, co-design, SoC,
- intégration verticale avec nouveau partitionnement ; nouveaux flots, problématique d'interférence,
- nouvelles architectures : accélérateurs de calcul, parallélisation,
- vérification et conception : en technologie 22nm (en industrialisation actuellement, l'erreur sur un jeu de masques est à un coût de plusieurs millions de US \$),
- enjeu de la productivité entre conception matérielle et logiciels,
- travail en équipe aujourd'hui.

Logiciels embarqués : multiprocesseur multitâche ; il faut y être préparé.

Les métiers : passage de la conception en électronique à la conception logicielle. Envisager l'utilisation de langages de très haut niveau (par exemple « ESL » ou « Electronic System Level »).

Il faut du génie logiciel chez les ingénieurs.

Rupture technique : connaissance de la décomposition d'un problème.

SoC : approche multi-problème : électronique, thermique, packaging. Encore de gros efforts à fournir dans cette voie.

### **Panel - discussion**

Suite à ces présentations des discussions ont été engagées afin d'une part de mieux analyser les situations et d'autre part de proposer des actions qui ont mis en avant différents aspects liés à la formation.

Les panelistes ont insisté sur :

- la nanoélectronique et ses bénéfices ; circuit de plus en plus complexe quelle que soit la technologie élémentaire,
- l'importance du 3D, vérification, variabilité, sécurité, spécification non fonctionnelle (puissance, sûreté, tolérance, etc..),
- la formation continue : reformation d'un coté, création de formations d'un autre coté. ST serait prêt à soutenir l'action.
- la formation des chercheurs,
- la faiblesse du nombre d'enseignants-chercheurs du domaine de la conception,
- une approche inversée de la formation pratique qui permettrait de bénéficier du CMP (projet multi-circuits).

### **Synthèse sur la journée sur les formations**

#### **1°) Formation initiale des ingénieurs et M2Pro (débouchés : multinationales de la microélectronique)**

- a) Il faudrait développer des actions vers la nanoélectronique (CMOS ultime) en faisant évoluer les cours pour sensibiliser les étudiants aux problèmes de DfM des systèmes en technologies avancées (40nm, 22nm ?).

Par DfM, différents problèmes sont sous-entendus:

- vérification design et/ou silicium : la complexité ira en augmentant et les étapes de vérifications sont de plus en plus indispensables et chères,
- robustesse au process du design : prise en compte des problèmes de variabilité, limites des approches corner ou MC, introduction aux approches nouvelles...,
- sûreté de fonctionnement : à l'image de ce qui est bien connu pour l'informatique, on pourrait imaginer qu'un système hétérogène 3D du futur puisse être touché au cours de son fonctionnement par des "bugs" liés aux data ou à l'environnement (température par exemple). Il faudra alors prévoir des sécurités internes dans le cas d'un système sur puce autonome (sans superviseur capable d' « ignorer » le SoC).

b) La complexité des futurs systèmes rend encore plus important l'apprentissage du travail en équipe.

Un jeune ingénieur ne pouvant pas avoir toutes les compétences, il devra discuter avec d'autres spécialistes et avoir un minimum de connaissances pour les comprendre...

c) Approche projet

Dans l'approche projet, il pourrait-être intéressant de prendre le problème « à l'envers ». Etudier d'abord un design ou du silicium qui a été réalisé par les étudiants de l'année précédente pour ensuite analyser les défauts et « refaire » sa propre conception... Avantage : les étapes de vérification finales ne seront pas « oubliées » en fin de projet... Les approches bottom-up et top-down sont vues... Ceci permettrait aussi de réactiver les actions CMP pour la formation. Il faut toutefois savoir que le programme pédagogique des ingénieurs et masters a tendance à se réduire sur la partie technique au profit de formation des sciences humaines et sociales.

d) Des projets multi-sites et la ré-utilisation pourraient aussi permettre d'aller plus loin dans l'enseignement sachant que le problème crucial est la réduction du nombre d'heures d'enseignement technique (Instructions de la CTI, réduction des volumes en M2) et l'augmentation des concepts avancés qui doivent être abordés.

e) Des actions pour attirer les étudiants vers la nanoélectronique seraient aussi nécessaires (la nanoélectronique ne doit pas être assimilée aux nanotechnologies en matière de risques pour la santé).

## 2°) formation initiale des M2R (débouchés : start-up innovantes, création d'entreprises, R&D, labos)

Il faudrait développer les filières traitant des nanotechnologies afin de préparer les étudiants dont nous avons besoin pour les activités de R&D dans les start-up et les instituts de recherche. La sensibilisation à la propriété industrielle (brevets) devrait être intégrée à la formation des futurs ingénieurs R&D.

## 3°) formation continue, trois volets distincts sont à considérer :

a) Accentuer la formation continue des formateurs du CNFM (aux outils actuellement diffusés et aux outils qui pourraient être intégrés dans le futur).

b) Développer la formation des chercheurs (y compris doctorants) aux outils de base (les outils CNFM actuels) et aux outils avancés (ceux utilisés dans les labos).

c) Mettre en place un guichet d'entrée au niveau du GIP CNFM afin que les industriels puissent trouver facilement l'ensemble des formations de base ou avancées qui pourraient être délivrées par les formateurs du CNFM.

Ce guichet se justifie d'autant plus que dans les domaines avancés, le nombre de formateurs potentiels en France peut se compter sur les doigts d'une main et que leur disponibilité n'est pas totale.

Le GIP ne se placerait pas en concurrence avec les pôles locaux et les organismes de formation continue des établissements mais en fédérateur/organisateur (facilitateur).

### Actions immédiates

Avant de clore la journée de réflexion, les participants ont dégagé plusieurs actions à mener dans les prochaines semaines :

- constitution d'un groupe de travail sur conception nanoélectronique : approche orientée vers une démarche inversée,
- constitution d'un groupe de travail nanotechnologie : préparation à l'adaptabilité - deux viviers d'étudiants, le premier issu de la physique et le second issu des concepteurs -

aspect intégration hétérogène – pour la formation il faut attendre les retombées de la recherche,

- élargissement de la réflexion à des membres investis dans les MEMS, Biopuces, outils de conception multiphysique, multi-échelle, microfluidique, lab-on-chip ; définition des métiers et des besoins en formation,
- développement de la formation continue. Analyse des besoins et définition d'une stratégie,
- établissement d'un catalogue par le CNFM, guichet d'entrée, pour préparer le paysage français de la microélectronique actuel au paysage de la nanoélectronique de demain,
- rédaction d'un rapport de synthèse de la journée par le D.G. du GIP-CNFM.

Fait à Grenoble le 28 septembre 2010

Olivier Bonnaud  
Directeur général du GIP-CNFM