

# MISE EN OEUVRE DES IPS DE LA PLATEFORME CONCEPTION CIM-PACA

**David Pereira, Serge Imbert, Joran Pantel,  
Pierre Bricaud, Michel Dubois & Gilles Jacquemod**

Pôle CNFM PACA

Maya Technologies, 2405 Route des Dolines, 06902 Sophia Antipolis  
Synopsys, 400 Avenue de Roumanille, 06410 Sophia Antipolis  
Plateforme Conception, 1645 Route des Lucioles, 06410 Biot  
Polytech'Nice-Sophia, 1645 Route des Lucioles, 06410 Biot

## **Introduction**

Dans le cadre du projet CIM-PACA, trois plateformes technologiques ont été créées en 2005, gérées par des associations « Loi 1901 ». Une quatrième association, ARCSIS, a été également créée afin de préserver une cohérence entre les trois plateformes technologiques (Caractérisation, MicroPacS (Micro Packaging et Sécurité) et Conception) et le dispositif CIM-PACA. La thématique principale de recherche liée à ARCSIS et aux trois plateformes, concerne la conception et la réalisation d'objets communicants sécurisés [1]. Dans le cas plus spécifique de la Plateforme Conception, les objectifs sont de :

- Développer des méthodologies de conception et de validation pour les systèmes sur puce (SoC : System on Chip) et systèmes en boîtier (SiP : System in Package, projet CIM-PACA 2011) de nouvelles générations dans le domaine des solutions communicantes sécurisées,
- Valider ces solutions sur des prototypes ASIC et FPGA.

La plateforme permet de regrouper d'une part un parc d'outils de R&D innovants, et d'autre part, des chercheurs des laboratoires privés et publics à travers des projets de recherche fédérateurs visant à développer de nouvelles méthodologies de conception et de validation pour les « System On Chip » (SoC) et « System In Package » (SiP) de nouvelles générations dans le domaine des solutions communicantes sécurisées. Elle permet également la mise en commun de blocs d'IP (Intellectual Properties) à travers la réalisation de démonstrateurs (sous forme de preuves de concept) et l'étude de standardisation pour des applications d'objets communicants sécurisés.

La plateforme vise deux objectifs principaux :

- développement de projets mutualisés entre plusieurs partenaires, membres de la plateforme
- aide au développement de PME/PMI et de start-up par un accompagnement de nouveaux projets et la mise à disposition des moyens matériels et logiciels à un coût très attractif.

Les équipements logiciels (ainsi que le serveur de calcul, cf. Figure 1) de la plateforme Conception sont principalement localisés sur le site de Sophia Antipolis, dans les locaux du CNFM hébergé par Polytech'Nice-Sophia. Cette proximité a déjà permis d'utiliser certains moyens de la Plateforme à des fins pédagogiques, afin de réaliser une série de travaux pratiques sur la machine d'émulation Veloce [2].

L'objectif de ce papier est de présenter la bibliothèque d'IPs (Intellectual Properties) ou IP Room, les outils de mise en œuvre de ces composants, qui seront utilisés lors d'un projet d'étudiants interPolytech (Marseille et Nice), ainsi que l'ISEN Toulon.

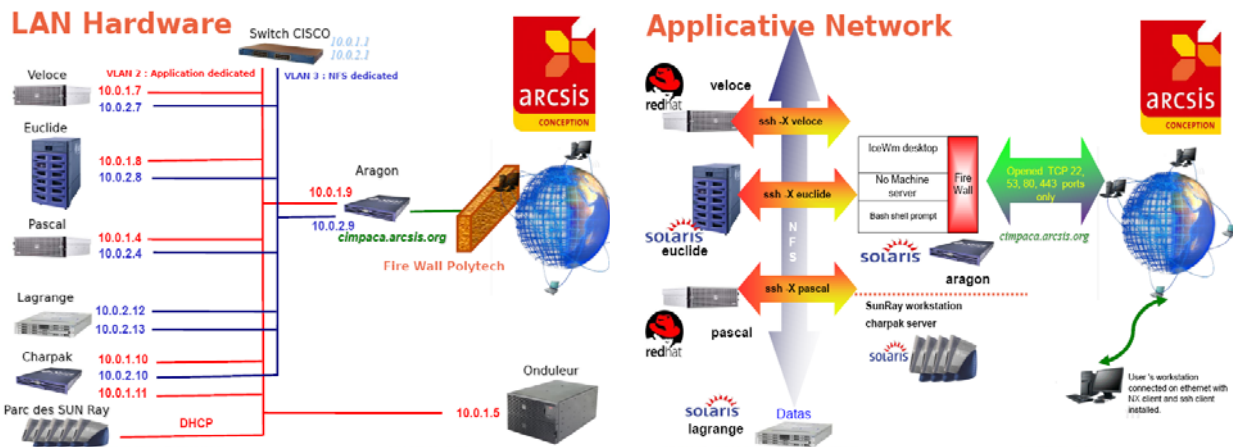


Figure 1: Architecture du serveur de calcul de la Plateforme Conception CIM-PACA

### IP room et outils associés

Le concept de l'IP Room est de créer une base de données centralisée de blocs microélectroniques (ou IP) valides pour permettre aux membres de la plateforme Conception CIM-PACA de créer leurs démonstrateurs FPGA ou SoC intégrant des fonctions standards de l'industrie. Le second concept fondamental est de garantir que ces IPs sont au standard industriel IP-XACT afin de permettre leur interopérabilité. La mise disposition des outils pour créer, valider et interconnecter des blocs IP, appelés coreTools, constitue le dernier élément important de cette IP Room. Cet ensemble est constitué de 3 logiciels : coreBuilder, coreAssembler et coreConsultant (cf. Figure 2). L'idée directrice est de permettre au créateur d'un bloc IP de le développer suivant un process qualifié avec coreBuilder, puis de l'assembler dans le futur système ou sous-système avec coreAssembler et finalement de le packager au standard IEEE 1685 IP-XACT avec coreConsultant.

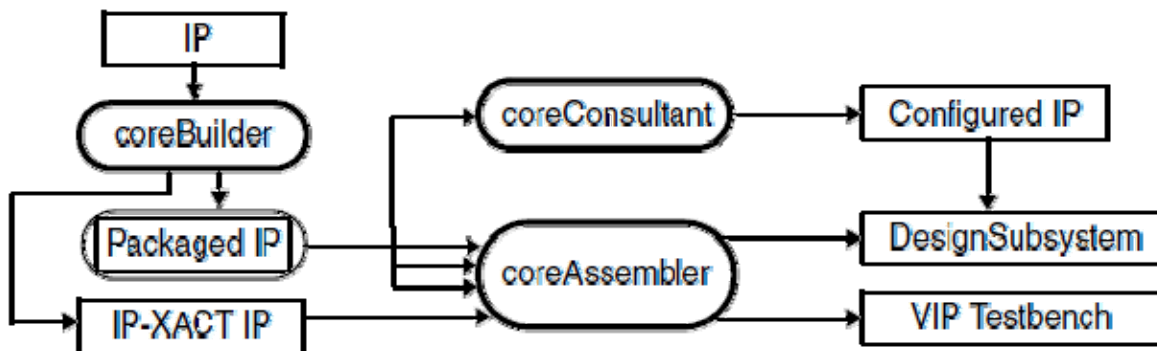


Figure 2: Outils pour créer, valider et interconnecter les blocs IP

IP-XACT a été standardisé par la norme IEEE 1685 pour permettre l'interconnexion automatique des blocs IP suivant des règles très précises et leurs utilisations dans les flots de conception SoC-FPGA standards. Le groupe garant du standard vis-à-vis de l'IEEE constitue l'association Accellera [3]. Le format des règles IP-XACT est en langage XML, définissant un

ensemble de spécifications pour permettre de documenter sous forme de Meta-Data les blocs IP. La description Meta-Data va permettre de configurer, intégrer et vérifier les blocs IP dans la conception de circuits SoC ou FPGA. La spécification IP-XACT permet la mise en œuvre de nouvelles technologies silicium afin de garantir le développement de circuits, de la phase de conception à la phase de production en passant par le prototypage.

Au sein de l'IP Room de la Plateforme Conception, nous disposons principalement de blocs IP spécifiques de la gamme de produits Synopsys DesignWare Cores : DWC 1394, DWC 6811, DWC 8051, DWC AMBA , APB , DWC DMA, DWC, Ethernet MAC 10/100, DW JPEG, DWC PCI Express, DWC SATA, DWC USB 1.1 , 2.0. De plus, les logiciels spécifiques Innovator et System Studio, associés à une bibliothèque complète de modèles TLM (OSCI), permettent aux utilisateurs de créer des Plateformes Logicielles Virtuelles et d'intégrer leurs blocs IP novateurs dans un ensemble de sous-systèmes ou systèmes complexes.

### Exemple de mise en oeuvre

Afin de valider la fonctionnalité des outils sur la Plateforme Conception et de servir de « guideline » pour les futurs utilisateurs, un démonstrateur a été réalisé. Ce dernier devait être suffisamment complexe pour vérifier que l'ensemble des outils soit opérationnel et ainsi débroussailler les éventuels écueils. A contrario, il ne devait pas être d'une complexité trop grande pour éviter une débauche d'énergie dans sa mise en œuvre.

De ce fait, il a été choisi de concevoir une plateforme basique d'un SoC qui pourrait être potentiellement réutilisée par des futurs utilisateurs. Cette plateforme, illustrée par la figure 3, est basée sur un processeur central (Leon2), une connexion de l'ensemble des périphériques avec un bus AMBA, et quelques périphériques.

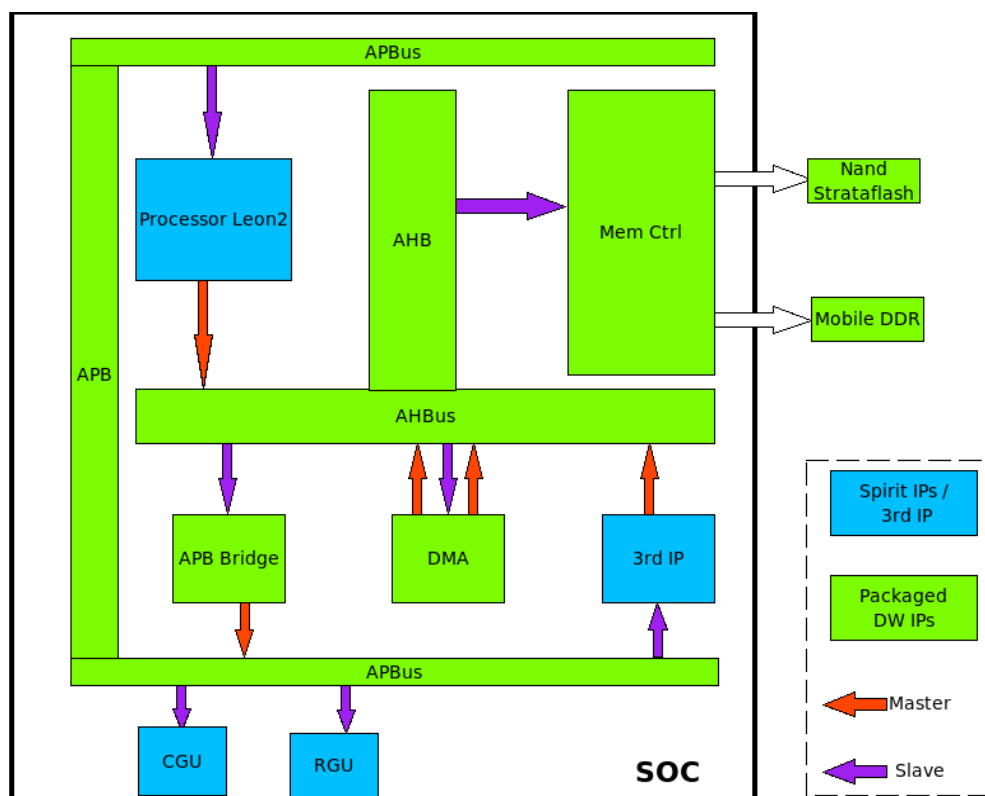


Figure 3: Schéma de la plateforme SoC proposée

Pour être au plus près possible de l'utilisation standard des outils, nous présentons 3 modes d'intégration d'IPs :

- a - Intégration de plusieurs IPs fournis dans le catalogue de base de l'IP Room  
L'ensemble des outils coreTools sont livrés avec un certain nombre d'IPs standards, qui sont déjà installés sur la plateforme Conception. Ces IPs ont ainsi été facilement instanciés et utilisés sous coreAssembler, en particulier l'ensemble des IPs du bus AMBA (AHB Arbiter, AHB-APB bridge, Memory Controller).
- b - Intégration d'IPs disponibles dans le catalogue des coreKits de Synopsys  
Quelques IPs du catalogue Synopsys, disponibles lors de l'installation des outils coreKits, ont également été intégrés sur la plateforme Conception. L'essai a été fait de façon gratuite sur différentes mémoires, mais également avec l'achat d'IPs spécifiques à Synopsys (USB core).
- c- Intégration de plusieurs IPs à partir de leur description RTL  
Enfin, nous avons testé l'intégration d'un bloc décrit en code RTL, sans package coreTools, dans l'ensemble du flot coreKit. En effet, les deux premières étapes ont été d'une grande simplicité car issues du flot standard et facilitées par le fait que nous n'utilisons que des IPs développés avec les outils coreKits. De plus, ces IPs étant déjà packagés, leur utilisation est directe sous coreAssembler.  
Le processeur Leon et ses périphériques (clock/reset/interrupt controller) ont été téléchargés depuis le site de Gaisler [4]. Bien que ce dernier fournisse un ensemble d'outils pour développer une plateforme, il n'a été fait usage que du code source RTL. Ce code source a été utilisé dans l'ensemble des outils coreKits (coreBuilder, coreConsultant, coreAssembler).

Avec ces trois types d'intégration, l'ensemble des outils et de leur installation a pu être corrigé et validé.

## **Guide d'utilisation**

Afin de faciliter l'utilisation de l'ensemble des outils coreKit dans l'environnement de la Plateforme Conception CIM-PACA, un User Guide est en cours de finalisation. Ce document sera fourni à chaque nouvel utilisateur et comprendra :

- 1 database comprenant le démonstrateur finalisé, avec son ensemble de fichiers et de scripts
- 1 document explicitant comment installer le démonstrateur, mais surtout quelles sont les étapes pour utiliser les coreKits.

Ce document vient en complément de la documentation Synopsys, puisqu'il a été conçu pour être un facilitateur d'utilisation dans une configuration bien spécifique, et n'est donc pas par essence aussi exhaustif que la documentation Synopsys.

Avec cet ensemble « user guide », un nouvel utilisateur pourra avoir accès directement à une plateforme basée sur un cœur Leon et un bus Amba avec quelques périphériques. Cette plateforme pourra être utilisée comme base pour l'intégration d'un nouvel IP. De plus, la possibilité de générer une « netlist » sera également offerte. Cela permettra d'utiliser une plateforme physique afin de valider son IP, soit sous la forme de FPGA (type chipIT), ou sous la forme d'un module de test silicium. La figure 4, extraite de ce document, présente l'intégration d'un nouvel IP dans le démonstrateur.

## General Flow Diagram

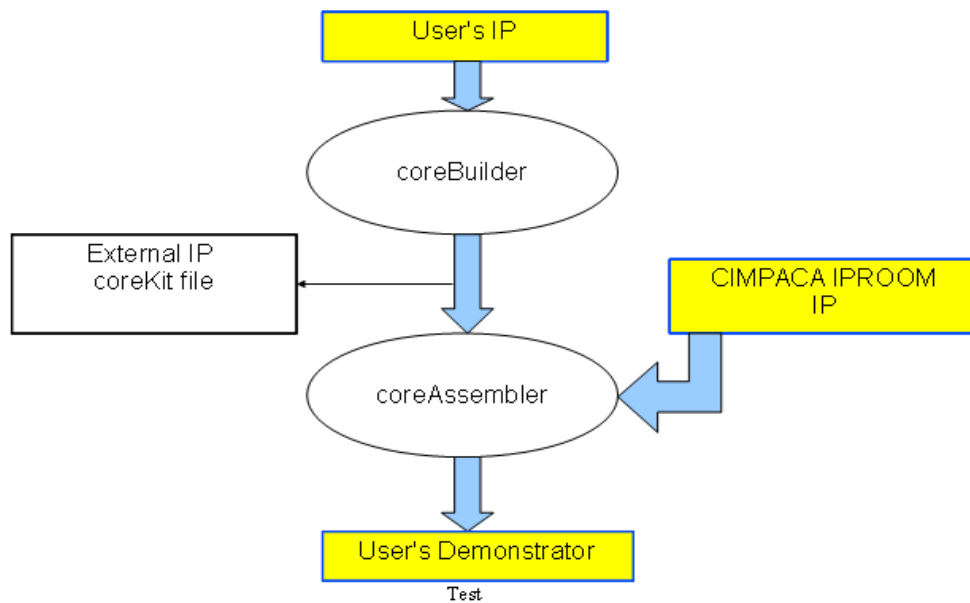


Figure 4 : Intégration d'un IP dans la plateforme de démonstration

## Conclusion

Les outils et l'IP Room, proposés par la Plateforme Conception CIM-PACA, ont permis et permettent de développer des projets collaboratifs à la pointe de la technologie/méthodologie, de tester de nouvelles IPs et d'aider les jeunes pousses de la région PACA à développer leurs idées innovantes avec des outils/blocs IP de qualité industrielle. Nous espérons continuer le développement de l'IP Room en ajoutant de nouveaux blocs IP et aussi explorer le domaine du logiciel embarqué. Enfin, un projet d'étudiants entre plusieurs membres du pôle CNFM PACA doit débuter début janvier 2011. Il aura pour objectif d'utiliser l'IP Room pour développer un système de réseau de capteurs sans fil, puis de tester la solution sur FPGA et en utilisant la machine d'émulation Veloce et de réaliser un ASIC pour les parties analogues et RF.

## REFERENCES

- [1] <http://www.arcsis.org>
- [2] F. Muller, G. Jacquemod & R. Bouchakour, «Vérification de SoC sous Veloce», Proc. 10<sup>ème</sup> Journées Pédagogiques du CNFM, Saint Malo, 2008, ISBN : 2-9522395-2-5
- [3] <http://www.accelera.org>
- [4] [http://www.gaisler.com/cms/index.php?option=com\\_frontpage&Itemid=1](http://www.gaisler.com/cms/index.php?option=com_frontpage&Itemid=1)

## Remerciements

Les auteurs tiennent à remercier le CG06 et le CR PACA pour son soutien financier dans le programme CIM-PACA, ainsi que la Plateforme Conception pour son support.