

Conception de SoPC pour applications multimédia

Auteurs : Michael Guarisco, Nicolas Marques, Eric Dabellani, Yves Berviller, Hassan Rabah,
Serge Weber

Laboratoire d'Instrumentation Electronique de Nancy. Faculté des Sciences et Technologies, -
BP 70239 - 54506 Vandoeuvre-les-Nancy Cedex

Résumé :

Les travaux présentés sont menés dans le cadre de la formation de Master « Systèmes Embarqués et Energie » spécialité « électronique embarquée et microsystemes ».

Les systèmes sur puce appliqués au multimédia constituent un enjeu important pour la formation notamment en raison d'un nombre important et récurrent de sujets de stage traitant de ces aspects.

Le codage vidéo H.264/AVC et son extension scalable SVC sont deux standards de compression vidéo d'une grande efficacité. Ils trouvent désormais leur application dans des domaines très vastes tels que la diffusion de contenus multimédia sur des réseaux type ADSL ou de la télésurveillance. Ce type de codage étant très complexe, la conception et la vérification d'un encodeur/décodeur constituent un très bon exemple de synthèse en conception de SoC. Il nécessite le recours à un ou plusieurs processeurs et de nombreux IP matériels afin de permettre un traitement en temps réel. La quantité importante de données à traiter permet également de mettre en évidence les limites de la simulation.

La chaîne devra permettre le streaming de vidéo codé en H.264. A ce niveau, l'étudiant compare les performances et les ressources utilisées entre un codage software d'une part et hardware d'autre part. L'encodage software peut tirer partie des ressources contenues dans un PC, alors que l'encodage hardware met en œuvre une carte de développement contenant un circuit de type FPGA. Après transmission sur support Ethernet à la réception plusieurs scénarii sont proposés en fonction des terminaux de visualisation domestiques : téléviseur full HD, téléviseur SD, plateforme PC, terminaux mobiles à faible définition (smartphone ...). En fonction du terminal un transcodage sera nécessaire et fait également l'objet de mise en œuvre d'IP blocs.

1. Introduction

Le standard de compression d'image H.264 (autrement appelé MPEG-4 part 10) est un standard émergent dont l'utilisation ne cesse de progresser. Cette condition est propice à une étude du standard par les étudiants qui pourront alors se familiariser avec les techniques de codage vidéo et à la complexité croissante des algorithmes de traitement des signaux vidéo. Les étudiants disposeront au préalable d'un réseau dédié dont les terminaux variés permettront de traiter l'image (figure 1) : de l'encodage au décodage en passant par le transcodage. Le nombre grandissant de terminaux permettant de visualiser du contenu multimédia et surtout leur hétérogénéité en termes de résolution ou capacité de calcul amène le point du transcodage à devenir un élément majeur dans la transmission de la vidéo.

2. Encodage H.264

L'étude de l'encodeur H.264 est un travail préliminaire important afin que les étudiants se familiarisent avec ce standard. L'étude se compose de plusieurs parties. Dans un premier temps, on se concentrera sur

la compression du schéma bloc haut niveau (figure 2). Les fonctions clés du standard seront étudiées séparément par les étudiants au point de vue fonctionnel dans un premier temps grâce soit à une modélisation matlab, soit en utilisant l'algorithme de référence écrit en C et fourni par le consortium UIT-T (Union Internationale des Télécommunication, secteur de la normalisation des Télécommunication [1]). Puis l'étude se portera sur les IPs VHDL développées au LIEN. Les codes sources matlab ou C seront exécutés sur une plateforme de type PC alors que les IPs matérielles seront implémentées sur FPGA Xilinx Virtex-6. Une étude comparative entre les performances et besoins matériels de chaque implémentation devra être menée par les étudiants. La validation fonctionnelle sera faite grâce à des testbench VHDL, étudiés depuis Modelsim.

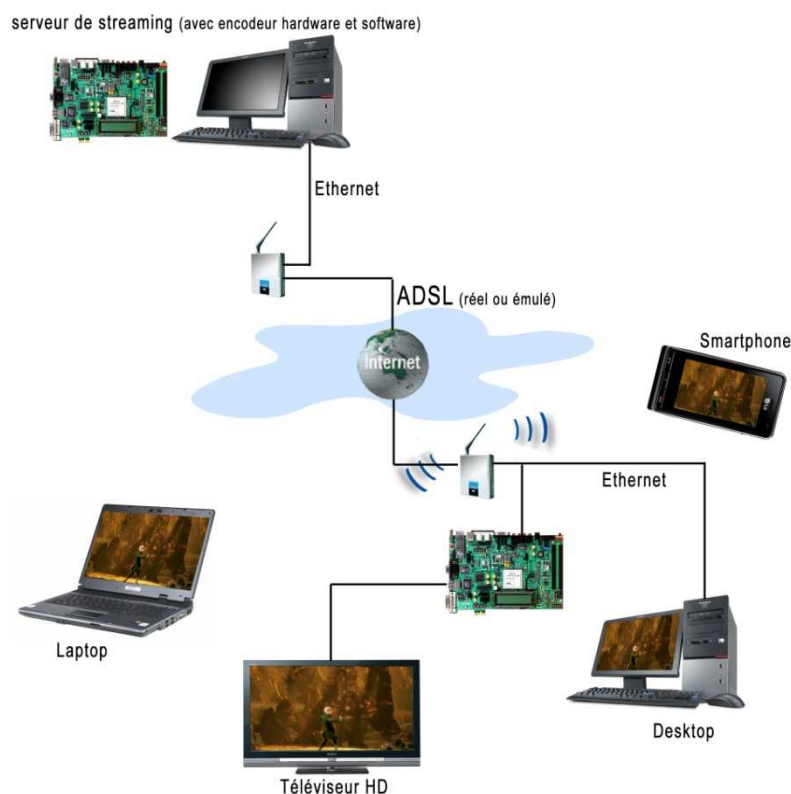


Figure 1: Réseau de transmission de contenu audiovisuel compressé

Cette étape de vérification donnera aux étudiants les clés pour la compréhension et la réalisation de méthodes de test efficaces lors de la conception numérique de modules décrit en langage haut niveau. Des simulations permettront de définir la latence et le temps de traitement en termes de cycles d'horloge de chaque module. Les IPs seront majoritairement fournies aux étudiants sauf pour la fonction de transformée entière d'H.264 sur laquelle un travail de conception et d'adéquation algorithme/architecture sera demandée. Ainsi, les étudiants auront en charge le développement et la vérification complète d'un module VHDL avec les choix architecturaux déterminants les performances.

Au-delà de l'aspect fonctionnel des blocs constituant l'encodage H.264, le standard nécessite un contrôle important au niveau système.

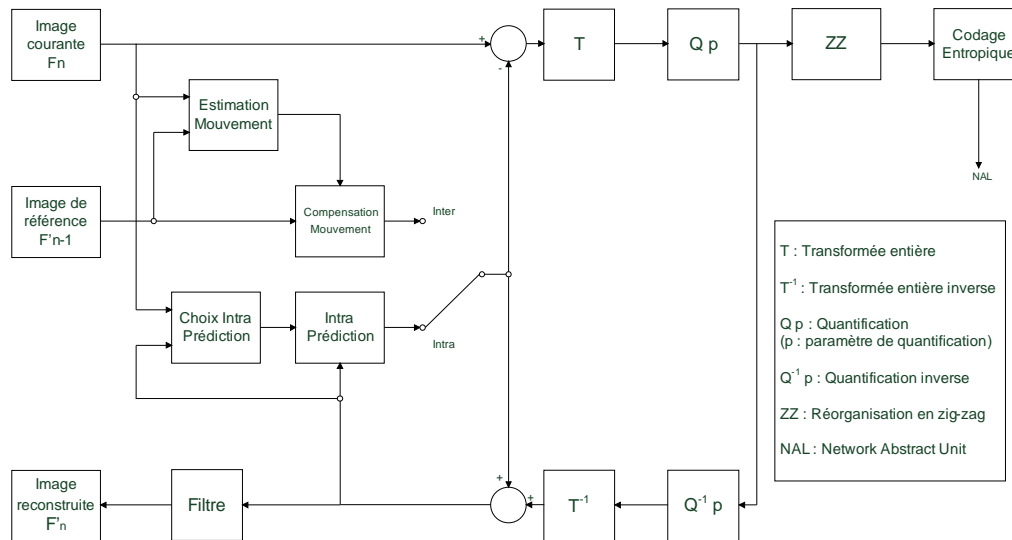


Figure 2: Schéma fonctionnel d'un encodeur H.264

Dans un premier temps l'acquisition des données de chaque image et le traitement spécifique par bloc des méthodes de compression de l'image demande une bonne compréhension des aspects de hiérarchie mémoire, aspects qui seront abordés lors de la réalisation de l'encodeur au niveau système. Certaines fonctions du standard nécessitant à la fois les données d'entrée brutes et des données issues d'une boucle de codage/décodage, un décalage temporel est inévitablement présent entre les entrées de ces fonctions. C'est le cas notamment des prédictions INTRA et INTER qui utilisent soit l'image courante soit des images passées. De ce fait, une analyse temporelle devra être apportée afin de comprendre la succession des étapes de codage et la mise en place d'un contrôleur général permettant de cadencer les données.

Outre les aspects d'encodage, les étudiants devront également se familiariser avec des notions de réseau informatique puisque le flux encodé devra être transmis sur IP. Les étudiants disposeront de terminaux de visualisation hétérogènes en bout de chaîne. A partir de cette hétérogénéité, les concepts d'adaptation vidéo, de transcodage et de transrating pourront être abordés.

3. Transcodage Vidéo

a. Traitement du standard non scalable

Nous travaillerons dans un premier temps avec le standard H.264/AVC (Advance Video Coding) qui présente une couche simple de codage (contrairement à son extension SVC encodée sur plusieurs couches pouvant être éliminées lors de la transmission afin d'alléger le débit de transmission). Nous aborderons essentiellement deux problématiques : le changement de résolution spatiale et les capacités en termes de bande passante d'un canal de transmission donné. La figure 5 décrit l'implémentation sur carte de prototypage Xilinx du transcodeur. La carte servant de transcodeur est détaillée (contrairement à la carte utilisée pour le décodage) et contient, comme l'indique le schéma, un bus partagé par les IPs de communication (réseau ou mémoire) notamment ainsi que par les IPs de transcodage qui acquièrent les données via le PLB et les renvoient sur ce même bus.

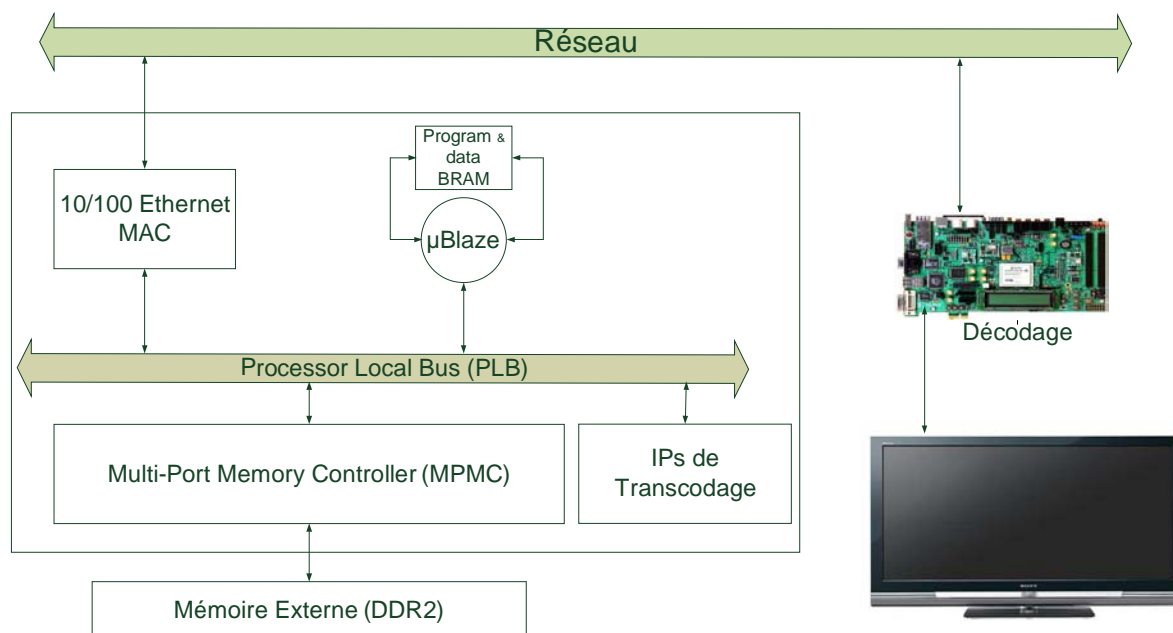


Figure 3 : Architecture globale du transcodage

Les figures 4 et 5 détaillent les éléments pouvant être implémentés dans le bloc noté « IPs de Transcodage » de la figure 3. La figure 7 détaille les liaisons du transcodeur avec le bus PLB. Un séquenceur de donnée apparaît également dans le diagramme et permet de synchroniser les données transitant dans l'architecture. Par souci de lisibilité, tous les modules ne sont pas reliés à ce séquenceur même s'ils le sont en réalité. Le contrôle global des modules IPs et du séquençage des données à l'intérieur de l'architecture de transcodage est un point crucial et cette application de codage/décodage est intéressante à étudier pour cet aspect.

L'optimisation de l'algorithme de transcodage sera également mis en avant. La modification de la résolution d'une séquence vidéo peut être réalisée de plusieurs façons au niveau d'un transcodeur. De même, afin de permettre à un flux vidéo d'être transmis à un terminal via un canal dont la bande passante serait inférieure à celle nécessitée par le débit de ce flux, le débit binaire du flux peut être réduit. Typiquement, on change les paramètres de quantification des coefficients obtenus par transformée. Cette modification impacte sur la qualité de la vidéo transmise. Plus le débit aura été réduit de cette façon, plus la qualité de la vidéo sera dégradée. Ce changement de résolution ou de débit binaire peut être réalisé grâce à plusieurs architectures de traitement. Principalement, l'étude portera sur deux de ces architectures. La première est dite *full decode/full reencode*. Elle permet de décoder le signal jusqu'au niveau pixel puis de le réencoder avec de nouveaux paramètres de quantification ou de résolution si un module de décimation spatiale a été introduit entre les deux modules de décompression totale et recompression. L'architecture est dite cascadiée dans le domaine pixel et correspond à la figure 4. Cette architecture présente beaucoup de fonctions complexes redondantes, notamment la compensation de mouvement et la prédiction INTRA. Pour simplement réduire le débit binaire, il est nécessaire de réaliser une requantification des coefficients transformés (par DCT ou transformée entière). Cette requantification s'opère en modifiant le paramètre de quantification noté Q_p utilisé dans les modules Q (quantification) et IQ (quantification inverse). Dans le cas de la figure 4, pour réduire le débit, le Q_p de Q_2/IQ_2 devra être supérieur au Q_p de IQ_1 , ceci permettant une compression plus importante avec pour conséquence une dégradation de la qualité de l'image. La figure 5 présente quant à elle une optimisation de la modification de débit par requantification. Cette approche qui sera étudiée par les étudiants permet d'optimiser les ressources nécessaires à la réalisation d'une architecture de réduction du débit binaire.

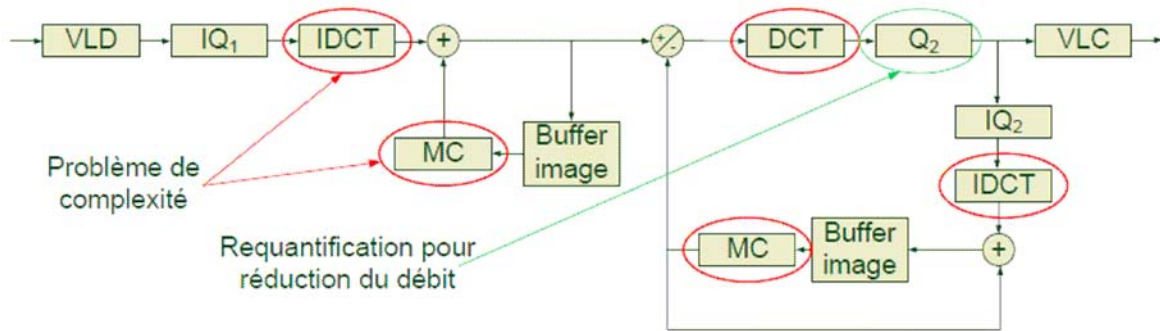


Figure 4: Modèle de transcodage dans le domaine pixel cascadé

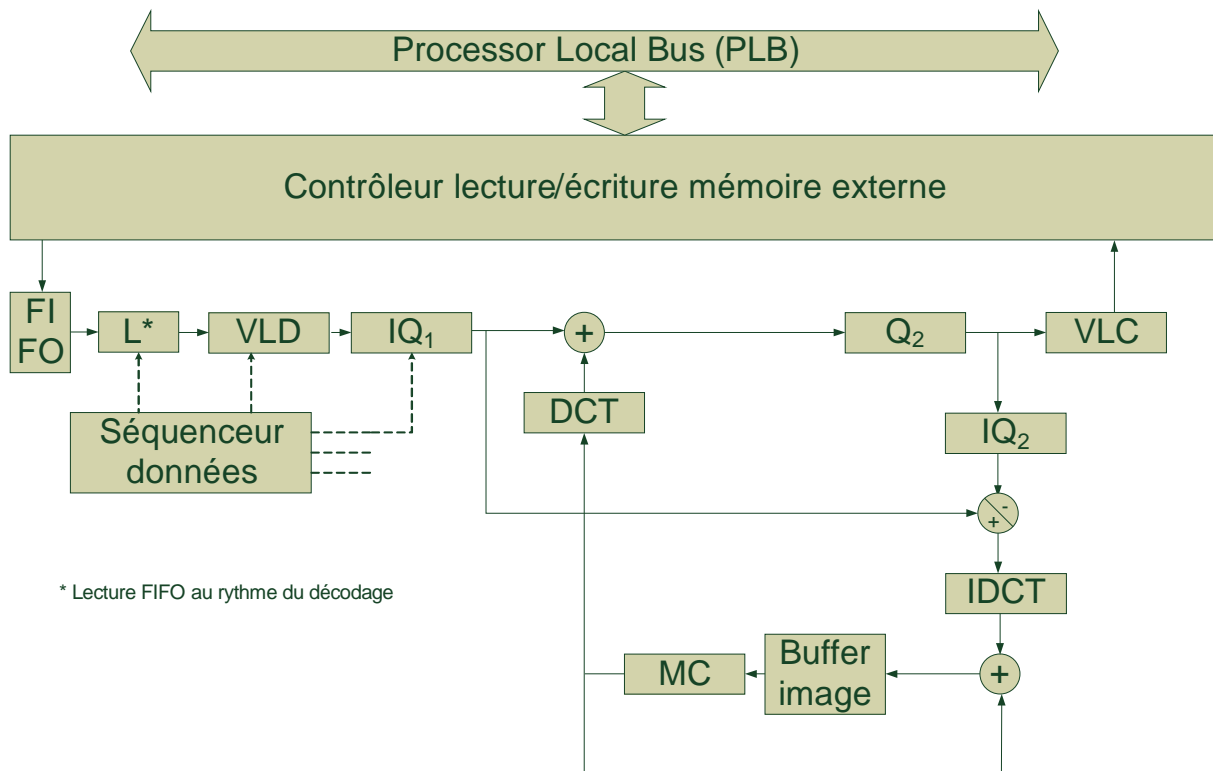


Figure 5: Modèle de transcodage optimisé

b. Introduction à la scalabilité vidéo

Les étudiants seront également amenés à traiter le cas du codage scalable et par conséquent l'utilisation de l'extension de H.264 dédiée, SVC (Scalable Video Coding). Cette extension permet le codage H.264 par couche (figure 6). Après avoir étudié le mécanisme d'encodage par couche, les étudiants se verront dotés d'un encodeur SVC simple permettant l'encodage d'une couche de base, une couche de réhaussement qualitatif et une dernière couche de réhaussement spatial. Au niveau du transcodage, toujours à partir des spécificités de la ligne de transmission et du terminal de visualisation utilisé, l'architecture en charge des modifications devra adapter le flux à la résolution du terminal et des capacités de la ligne de transmission. Pour ce faire, un transcodage de SVC vers AVC sera effectué afin de permettre aux terminaux pourvus uniquement de décodeur AVC. Le transcodage devra donc filtrer

certaines couches pour ne conserver que les couches utiles et à partir de ces couches reconstruire un flux entièrement compatible AVC.

4. Décodage H.264

Le décodage H.264 devra s'effectuer de différentes manières selon le terminal utilisé, soit de manière logicielle sur une plateforme PC ou smartphone, soit matériellement grâce à une nouvelle carte FPGA reliée à un moniteur HD, encore une fois, une étude des performances de chacune de ces solutions devra être menée.

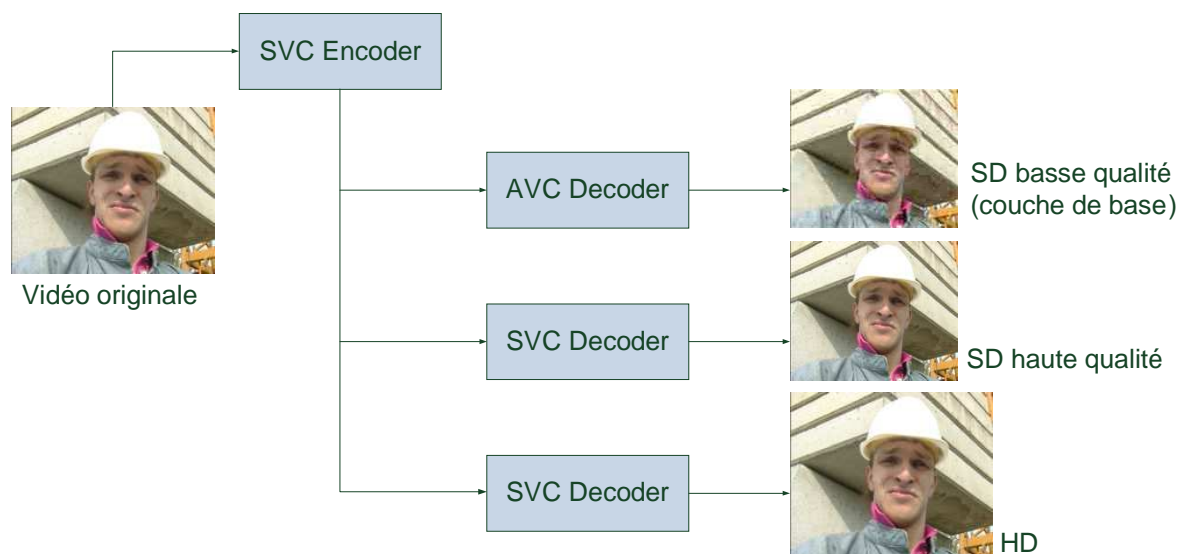


Figure 6: Encodeur SVC à 3 couches

5. Conclusion

Dans ce projet ambitieux, nous offrons aux étudiants une étude complète d'un système de codage de l'image très actuel. Au travers de ce projet seront abordés beaucoup de notions concernant la réalisation, le test et l'intégration de briques matérielles pour finir par la réalisation d'un système complet et fonctionnel. Au-delà de ces aspects méthodologiques, l'utilisation des outils de conception/simulation et notamment des outils Xilinx ISE/EDK et Modelsim sera enseignée aux étudiants. Le codage vidéo restant une problématique importante et un thème de recherche toujours très actuel, ce choix permet d'apporter aux étudiants des notions importantes dans le domaine et leur permettra de s'insérer plus aisément dans des entreprises spécialisées dans le domaine et dont les offres de stages et d'emplois sont nombreuses.

6. Références

- [1] Recommandation UIT-T H.264, Codage vidéo évolué pour les services audiovisuels génériques (Mars 2005).
- [2] Iain Richardson, H.264 and MPEG-4 Video Compression, Wiley (2003).