

# BANC DE TEST PROGRAMMABLE DEDIE A L'APPRENTISSAGE DES TECHNIQUES DE TEST DES MEMOIRES

Jean-Marc Galliere, Luigi Dilillo

*Pôle CNFM de Montpellier  
Polytech'Montpellier, Université Montpellier Sud de France  
{galliere, dilillo}@polytech.univ-montp2.fr*

## RESUME

Généralement, dans un parcours d'école d'ingénieurs en microélectronique l'approche du test reste très théorique. Peu de manipulations concrètes existent et les séances de travaux pratiques se limitent à la mise en œuvre d'outils logiciels. Pour cela, nous avons mis en place au sein de notre école une maquette permettant aux étudiants un apprentissage concret du test et plus particulièrement du test des mémoires. A l'aide de cet environnement, ils arrivent à mieux comprendre l'adéquation existante entre la séquence de test employée et la faute détectée.

*Mots clefs* - Test, mémoires SRAM, banc de test configurable

## 1- INTRODUCTION

Le coût de la vérification et du test des circuits intégrés actuels et futurs représente une part importante du prix de revient global des circuits produits par l'industrie de la microélectronique [1]. Le domaine du test se révèle donc être un enjeu stratégique pour l'industrie et par voie de conséquence pour la recherche et l'éducation. Une formation d'ingénieurs microélectroniciens se doit d'offrir à ses élèves un enseignement dans ce domaine très spécifique.

Au sein du département ERII de l'école Polytech, Montpellier, l'apprentissage du test des ASICs est abordé par l'étude du test des fautes de collage. Pour cela, une série de cours présente les modèles de fautes (collage, court-circuit résistif, ...) et les algorithmes classiquement utilisés pour la génération des vecteurs de test (D-Algorithm, PODEM, ...) [2]. L'aspect palpable du test est ensuite mis en application aux travers de travaux pratiques mettant en œuvre un outil de CAO de génération automatique de vecteurs de test : TetraMAX [3] et un testeur industriel Verigy [4].

Bien que le test des ASICs représente une part importante des efforts faits dans le domaine, il reste une famille de composants qui nécessite une attention particulière: les mémoires. En effet, les mémoires utilisent une surface croissante au sein des "System on Chip" (SOC), celle-ci pouvant atteindre aujourd'hui une surface supérieure à 80% d'un circuit intégré [1]. Or il se trouve que les techniques de test des mémoires diffèrent fortement de celles des ASICs conventionnels. Dès lors, on comprend la nécessité d'introduire ce champ dans un cursus d'ingénieur en microélectronique. D'autres universités [5] proposent un outil d'apprentissage du test des mémoires. Cet environnement de travail très intéressant reste cependant très virtuel puisque la mémoire n'existe pas physiquement. De plus, cet outil n'implémente qu'un seul algorithme de test.

Dans cet article, nous présentons une maquette originale: un banc de test de mémoires SRAM nomade et programmable. Ce banc de test permet non seulement de mettre en œuvre plusieurs mémoires SRAM du commerce mais aussi d'appliquer sur celles-ci différents algorithmes de test. Ainsi, les étudiants peuvent concrétiser les enseignements sur le test des mémoires et surtout mettre en évidence les propriétés inhérentes aux différents algorithmes appliqués.

L'article est organisé de la manière suivante. Le chapitre 2 présente le générateur versatile d'algorithme de test. L'architecture du banc de test est ensuite détaillée au chapitre 3. Le chapitre 4 décrit le fonctionnement du générateur de test March programmable. Les grandes lignes de la séance de travaux pratiques dédiée à ce banc de test sont présentées au chapitre 5. Enfin, nous dressons un bilan sur la mise en place de cette séquence pédagogique au chapitre 6.

## 2- GENERATEUR PROGRAMMABLE DE TEST MARCH

Comme nous venons de le voir au chapitre précédent, le test des mémoires est un champ disciplinaire à part entière. La séquence de test ou algorithme de test d'une mémoire est plus connue sous le nom de test March. Chaque test March a des propriétés qui permettent la mise en évidence des défauts caractéristiques aux mémoires [6]. Ces séquences de test sont en perpétuelles évolutions et font l'objet de la part du mode industriel et académique d'investigations de manière à les rendre chaque fois plus performantes. Un banc de test pédagogique doit permettre non seulement l'implémentation de tests March existant dans la littérature mais aussi la mise en œuvre aisée de nouvelles séquences de test. Mais tout d'abord, intéressons-nous à cette technique. Un test March consiste en une séquence finie d'éléments March. Un élément March est une séquence finie d'opérations (ou primitives March) devant être appliquées à une cellule mémoire avant de passer à la cellule suivante. Ainsi,  $\uparrow (r0;w1)$  est un élément March et  $r0$  et  $w1$  sont des primitives March. La séquence



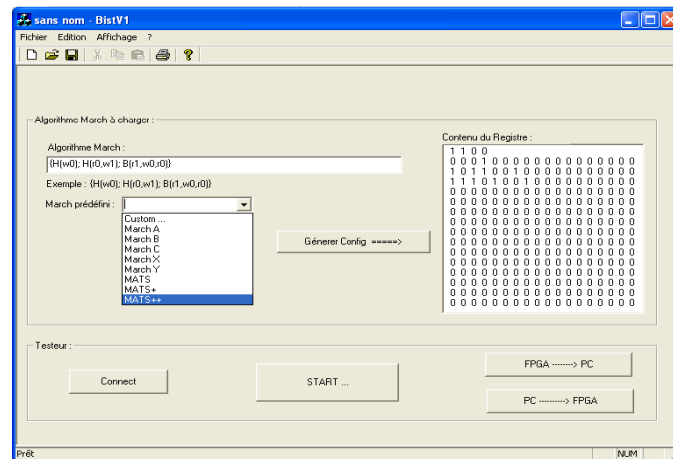


Fig. 2 : Interface utilisateur

Si aucun défaut n'est détecté, le générateur programmable retourne un acquittement positif sur les quatre mémoires. Dans le cas contraire, c'est-à-dire quand une opération de lecture (R0 ou R1) ne se déroule pas avec le résultat escompté, la fonction retourne, le numéro de la mémoire, l'adresse, la donnée et surtout quelle opération de quel élément March a fauté. En effet, ce n'est qu'avec la connaissance de cette dernière information qu'il est possible d'identifier la raison de la faute ou tout du moins de commencer à étayer des hypothèses.

#### 4- ARCHITECTURE DU GÉNÉRATEUR DE TEST MARCH

La spécificité de notre application a nécessité la création d'une fonction logique adaptée à nos besoins. Cette fonction séquentielle permet l'application automatique sur quatre mémoires SRAM des tests March sélectionnés par l'utilisateur. Le générateur de test March programmable est composé de quatre blocs (Fig. 3).

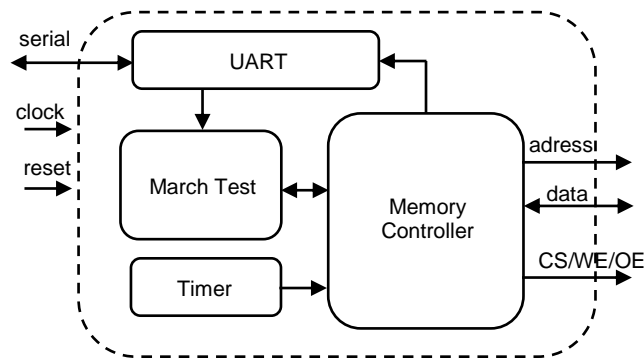


Fig. 3 : Architecture du générateur de test March

Le premier bloc "UART" est chargé de la communication bidirectionnelle entre le PC et la maquette. Le bloc "March Test" stocke le test March à appliquer aux mémoires. Le bloc "Timer" adapte le signal d'horloge au "timing" des mémoires. Enfin, le bloc "Memory Controller" est chargé d'appliquer les opérations fournies par le bloc "March Test" et de mémoriser, en cas de défaillance détectée, toutes les informations nécessaires pour le diagnostic. Ces informations sont ensuite transmises au bloc "UART". Tous les blocs du générateur de test March programmable ont été décrits en VHDL. Pour l'implémentation du code nous avons opté pour une plateforme de prototypage Spartan 3 de Digilent® Inc. [7]. Cette plateforme embarque un FPGA Spartan 3 de Xilinx® [8], de plus, elle est dotée d'une interface logique/RS232 et dispose de suffisamment d'entrées/sorties pour se connecter au bus d'adresse des mémoires.

#### 5- EXPERIMENTATION

La figure 4 présente la maquette mise à disposition des étudiants. Un câble série relie le banc de test à un PC. Les quatre mémoires présentes sur la platine n'ont pas le même comportement. Les trois premières sont saines, la quatrième est remplacée par un émulateur de mémoires fautes [9].

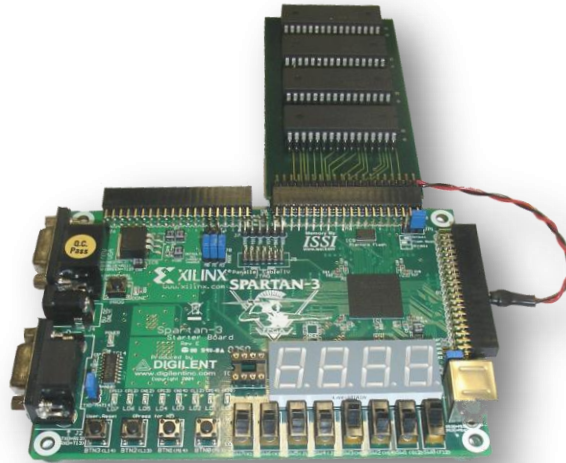


Fig. 4 : Banc de Test sans l'ordinateur et sans l'émulateur de mémoire

Cet émulateur offre la possibilité d'implémenter sur la mémoire virtuelle les principales fautes potentiellement présentes dans une mémoire SRAM: fautes de collage, fautes de transition, fautes de décodeur d'adresse et fautes de couplage. A partir de cet ensemble, il est proposé aux étudiants pour chacune des fautes citées, d'appliquer une séquence de test March C-. Ensuite, en analysant le rapport de test issu de l'interface utilisateur, l'étudiant doit découvrir le lien existant entre la faute détectée et la suite d'évènement March ayant conduit à sa détection. De cette analyse, il en ressortira une plus grande maîtrise des mécanismes d'activation et de détection des fautes ainsi qu'une meilleure compréhension des caractéristiques propres à une séquence de test March.

## 6- CONCLUSION

La mise en place de cette séquence pédagogique est partie du constat que l'enseignement du test des circuits intégrés est trop souvent abordé de manière théorique voire même virtuelle, citons par exemple [5][10]. Or, il nous semblait important pour des étudiants bientôt confrontés à la réalité du monde industriel de leur offrir la possibilité de mettre en œuvre une séquence de test à partir de composants bien réels. Bien que cette séquence soit encore en cours de déploiement au sein de notre département d'enseignement, les premiers retours des étudiants sont encourageants. En effet, ils soulignent tous le fait d'avoir mieux cerné les tenants et aboutissants d'une séquence de test March. De même, ils reconnaissent avoir une meilleure conceptualisation des modèles de faute et...de l'architecture des mémoires!

## 7- BIBLIOGRAPHIE

- [1] Semiconductor Industry Association (SIA), "International Technology Roadmap for Semiconductors (ITRS)", 2005 édition
- [2] C. Landrault, "Test de Circuits et de Systèmes intégrés," Lavoisier, isbn 2-7462-0864-4, 2004
- [3] Tetramax ATPG from Synopsys :  
<http://www.synopsys.com/Tools/Implementation/RTLSynthesis/Pages/TetraMAXATPG.aspx>
- [4] B. Pradarelli et al., "Industrial Testing Education at Undergraduate Level – A Datasheet and Diagnosis Based Labs Approach," 8<sup>th</sup> International Workshop on Microelectronics Education, 2010
- [5] A. Bosio et al., "Interactive Educational Tool for Memory Testing," pp.100-103, 6<sup>th</sup> International Workshop on Microelectronics Education, 2006
- [6] A.J. Van de Goor, "Testing Semiconductor Memories: Theory and Practice," John Wiley & Sons, isbn 0-471-92586-1, 1991
- [7] Digilent Inc. : <http://digilentinc.com>
- [8] Xilinx : <http://www.xilinx.com>
- [9] P. Rech et al., "A Memory Fault Simulator for Radiation-Induced Effects in SRAMs," IEEE 19<sup>th</sup> Asian Test Symposium, 2010 (to be published)
- [10] W.A. Pleskacz et al., "DefSim - The Educational Integrated Circuit for Defect Simulation," pp.121-122, IEEE International Conference on Microelectronic Systems Education, 2005