

Projet pédagogique Master Micro-Nano Electronique de Strasbourg – CRTC: Testabilité numérique-analogique sur circuit intégré mixte dédié

A. BOZIER^{1,3}, B. PRADARELLI², L. LATORRE^{2,4}, P. NOUET^{2,4}, R. LORIVAL^{2,4,5},
L. HEBRARD^{1,3}, F. BRAUN¹, D. MULLER³

¹CNFM-MIGREST, ²Pôle CNFM de Montpellier, ³Master MNE-Strasbourg, ⁴LIRMM, ⁵CNRS

Cet article présente les résultats d'un enseignement de testabilité sur circuit mixte qui est le résultat d'une collaboration entre le Master Micro-Nano Electronique de l'université de Strasbourg et le Centre de Ressources de Test du CNFM à Montpellier. Cette collaboration a débuté il y a deux ans et a fait l'objet d'une première communication dans la précédente édition des Journées Pédagogiques du CNFM [1]. Les paragraphes I à III traitent des performances et des possibilités du circuit ainsi que d'une première expérience d'enseignement en Master MNE au cours de l'année dernière, puis, les paragraphes IV à VI traitent plus spécifiquement de la carte de test et du développement du programme de test par le CRTC de Montpellier.

I. Rappel du projet

Le projet est né suite à la volonté du Master MNE de faire évoluer son enseignement de testabilité vers les circuits mixtes, analogique-numérique. Dans cette optique et en bénéficiant de l'expertise du CRTC, le circuit mixte en technologie CMOS 0,35 μ m qui servait de support aux différents enseignements du Master a été fabriqué avec l'aide financière du CNFM.

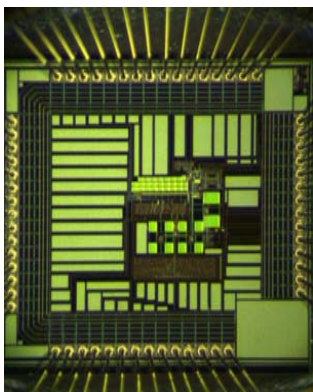


Fig1: Circuit en technologie AMS 0,35 μ m

Le circuit intégré -figure 1- est un système permettant de mesurer un champ magnétique de ± 5 mT sur une bande passante de 8kHz. Sa taille est de $2,18 \times 2,28$ mm² et il est alimenté sous 3,3V. Il est constitué d'un capteur à effet Hall, d'une chaîne d'amplification, d'un filtre anti-repliement, d'un convertisseur analogique-numérique $\Sigma\Delta$ et d'un module de compensation d'offset -figure 2-.

Il est possible de tester le circuit dans son ensemble ou par blocs indépendants. D'autre part, une chaîne de scan a été introduite dans la partie numérique du module de compensation. Ainsi la fonctionnalité et l'assemblage de ce circuit lui permettent d'être utilisé comme nouvelle plate-forme pédagogique pour les enseignements en test.

Les séances de travaux pratiques se déroulent dans la salle de CAO du CNFM-MIGREST à Strasbourg. Connectés sur une station du CRTC de Montpellier, les étudiants travaillent sur des comptes génériques. Des répertoires spécifiques à notre enseignement sont copiés pour travailler de manière plus efficace. Les séances de travaux pratiques sont découpées de la manière suivante:

- 4 heures pour la préparation des fichiers de configuration ou « setup » : Les étudiants travaillent simultanément sur le compte alloué mais pas sur le testeur à proprement dit, c'est le travail « offline ».
- 4 heures directement sur le testeur : Les étudiants passent à tour de rôle en binôme pour tester le circuit, c'est le travail « online ».

II. Les essais électriques

Dans cette section, nous détaillons les fonctions des différents blocs du circuit en indiquant les performances obtenues lors de mesures électriques sur carte PCB. Cette partie est à différencier de la partie test à proprement parler qui fait référence explicitement à l'utilisation du testeur. Le schéma du circuit est indiqué figure 2.

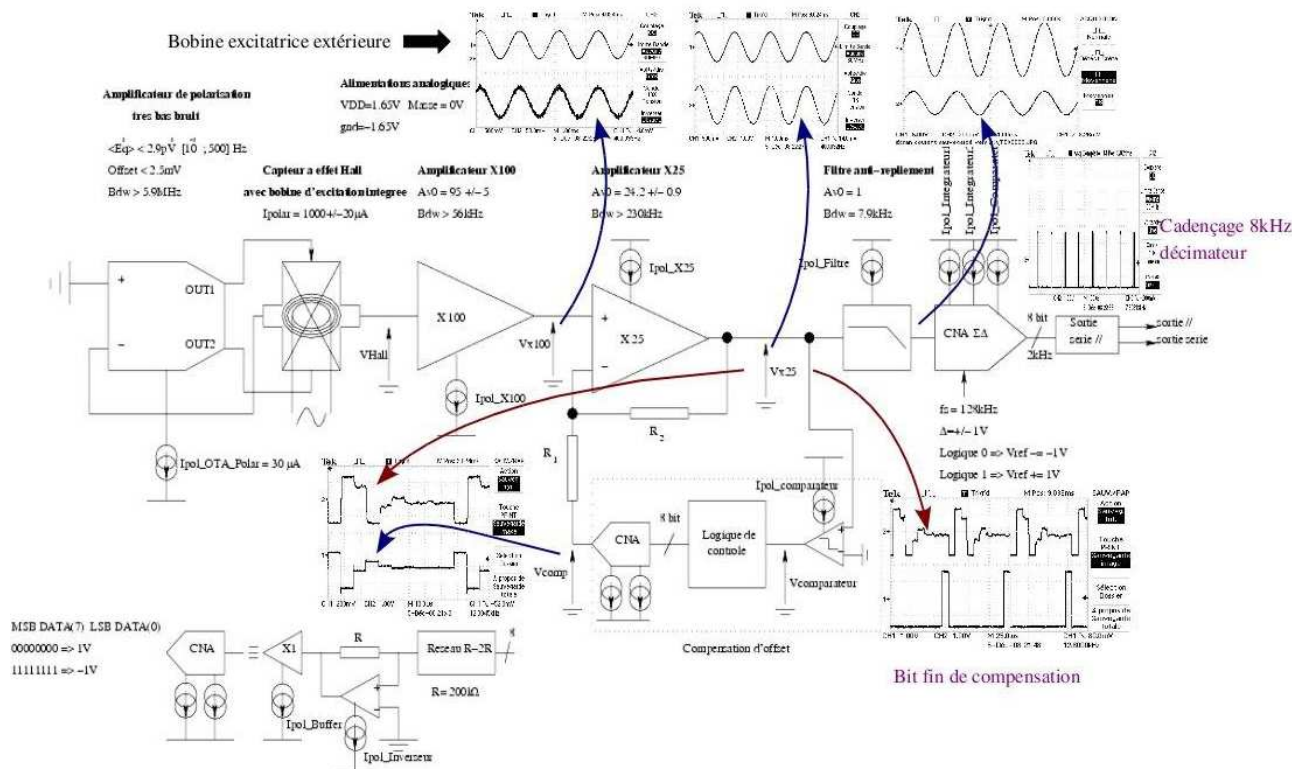


Fig2: Schéma électrique du circuit intégré

L'élément sensible est un capteur à effet Hall en technologie CMOS [2] qui permet de convertir un champ magnétique dans la gamme $\pm 5\text{mT}$ en un signal électrique de $\pm 400\mu\text{V}$ d'où la nécessité d'une amplification globale de 2500 pour sortir un signal de $\pm 1\text{V}$ en bout de chaîne analogique.

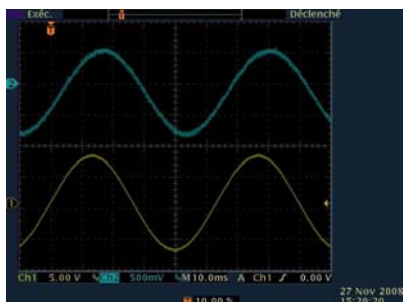


Fig3: Sortie analogique

Un bloc mixte appelé « compensation d'offset » permet de compenser l'ensemble des offsets aléatoires rencontrés dans la chaîne, dus au capteur et aux différents OTA.

Un filtre anti-repliement de fréquence de coupure à 8kHz termine la chaîne analogique avant d'attaquer un convertisseur analogique-numérique de type $\Sigma\Delta$.

La figure Fig3 montre le signal de sortie du circuit -signal du haut- pour un stimulus magnétique créé par une bobine excitatrice extérieure -signal du bas-.

La compensation d'offset

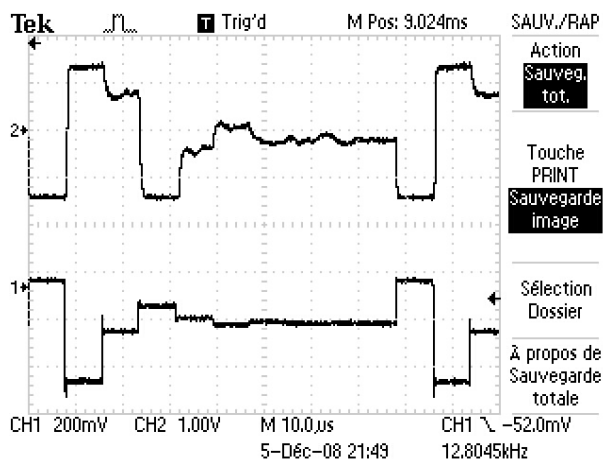


Fig4: a) Signal compensé b) Signal en sortie de la compensation

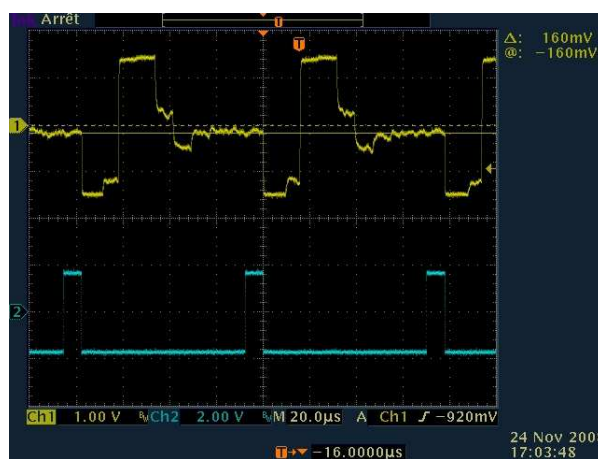


Fig5: a) Signal compensé b) Bit de fin de compensation

Avant de procéder à des mesures de champs magnétiques, il est nécessaire de compenser la chaîne analogique en amenant la tension de sortie V_{x25} au voisinage de 0V. C'est le rôle de la compensation

d'offset. Ce module est composé d'un comparateur, d'un bloc numérique obéissant à un algorithme dichotomique et d'un CNA pour convertir le mot binaire de 8 bit en son équivalent analogique entre $\pm 1V$. Les signaux en sortie de la compensation, V_{comp} , et à compenser V_{x25} -figure 2- sont donnés figure 4. De plus une entrée START permet de démarrer une compensation à n'importe quel moment et une sortie EOC -fin de conversion- indique la fin effective de la compensation sous forme d'un bit comme le montre la figure 5.

La figure 2 montre sous forme synthétique les signaux obtenus en différents points du circuit ainsi que les performances mesurées lors de ces essais.

Les travaux pratiques de test

Le test numérique est réalisé sous la forme de deux séances de travaux pratiques de quatre heures chacune. La première séance est dédiée à la configuration des différents « setup » selon le flot de la figure 6 en mode « offline ». Lors de la deuxième séance, en mode « online », les étudiants passent en binômes, les uns après les autres, sur le testeur.

Les étudiants travaillent sur le bloc numérique appelé logique de contrôle de la figure 2 qui est testable et accessible intégralement de l'extérieur via la chaîne de scan.

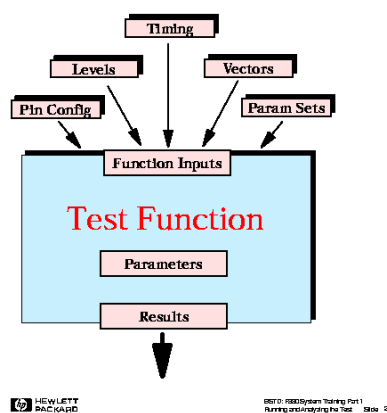


Fig6: Flot de test numérique

```

Timing_Wtb.txt
#WAVETBL fixe_20MHz_WTB
#PINS_CP
# 0 *d1:0 d2:0* 0
# 1 *d1:1 d2:0* 1
# brk *d1:1 d2:0*

#PINS_MR
# 0 *d1:0 d2:1* RAZ
# 1 *d1:1 d2:1* 1
# brk **

#PINS_Mode
# 0 *d1:0* 0
# 1 *d1:1* 1
# brk **

#PINS_Ser_in
# 0 *d1:0* 0
# 1 *d1:1* 1

Timing_Eqn.txt
EQNSSET 1 "gross_func_eqn"
SPECS
tpdiox [ns]
TIMINGSET 1 "20MHz" # Period and edge delays for a 20MHz test
period = 50
PINS_CP
d1 = 20
d2 = 45
PINS_Mode Ser_in
d1 = 0
d2 = 30
PINS_MR
d1 = 0
d2 = 15
PINS_Ser_out

```

Fig7: Timing sous forme de fichiers

Le flot de test numérique est identique à celui utilisé pour les tests du 74ACT299. Les parties *Pin Configuration* et *Levels* sont données intégralement aux étudiants qui se concentrent sur la programmation des *Timings* en mode fichier -voir figure 7- et les vecteurs de test en mode graphique.

Le test analogique, qui comprend aussi deux séances de quatre heures, est bâti de la même manière que le test numérique. La première séance porte sur les configurations analogiques du générateur de fonction noté *AWG* et de l'échantillonneur noté *Digitizer*. Les étudiants se basent sur le document technique proposé par le constructeur Verigy® pour faire les bons choix en termes de bande passante, de nombre de points d'échantillonnage suivant les signaux à injecter ou à récupérer. Lors de la seconde séance, les étudiants sont « online » pour le test analogique effectif du circuit.

Pour cette étude, les étudiants travaillent sur le bloc Compensation d'Offset qui comprend le bloc numérique vu précédemment avec ses « setup » et le convertisseur numérique analogique 8 bit. Le but est de visualiser les tensions nommées V_{comp} et V_{x25} -voir figure 2- comme le montre la figure 8.

III. Etude de la testabilité du circuit

La testabilité d'un circuit quel qu'il soit nécessite d'être prise en compte dès la conception.

Lors de la réunion initiale du projet, la stratégie de test définie fut d'architecturer le circuit de façon à ce que la chaîne instrumentale réalisée puisse être testée en totalité ou par blocs fonctionnels analogiques et/ou numériques indépendamment les uns des autres. De plus, une étude particulière de la testabilité du bloc de logique de contrôle a été effectuée pour déterminer si le bloc est totalement testable, c'est-à-dire si le taux de couverture issu de la simulation de fautes est de 100%.

Pour tester la chaîne instrumentale dans sa totalité, il faut être capable d'émuler l'entrée de l'amplificateur de gain 100 -voir figure 2- et de faire l'acquisition du signal en sortie du $\Sigma\Delta$, donc d'avoir accès à l'entrée du premier bloc de la chaîne et à la sortie du dernier bloc.

Pour pouvoir tester chaque bloc, il faut avoir accès aux entrées et aux sorties de ces blocs. Ces

spécifications nécessitaient donc de prévoir au niveau du boîtier final des broches multiplexées ou dédiées pour accéder (envoyer ou capturer un signal) à ces nœuds d'information du circuit. En raison de contraintes liées au boîtier utilisé (64 broches) et afin de limiter les signaux parasites pouvant potentiellement être injectés dans le circuit par ces points d'accès, la stratégie de test a été modifiée pour considérer les amplificateurs $\times 100$ et $\times 25$ comme un seul bloc.

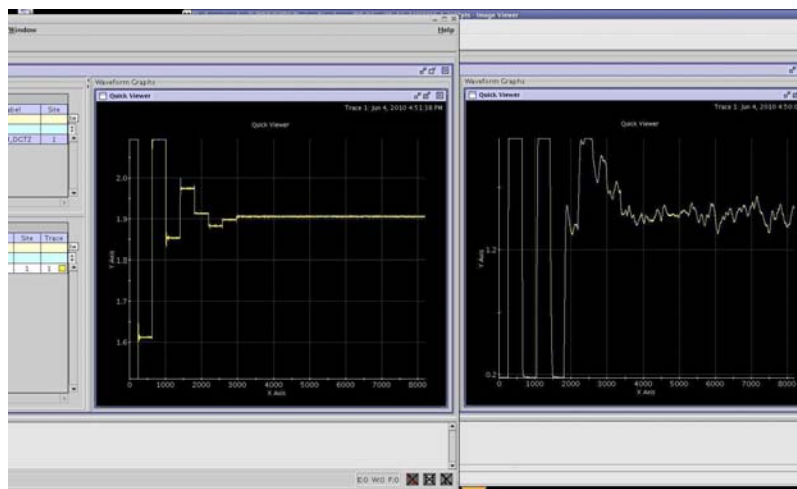


Fig8: Signal de gauche Vcomp, signal de droite Vx25

L'étude de la testabilité du bloc de logique de contrôle a fait l'objet d'un Projet Industriel de Fin d'Etudes (PIFE) de l'école Polytech'Montpellier. Partant de la «netlist» du bloc de contrôle et en considérant un modèle de fautes en particulier (ici les fautes de collage), TETRAMAX® produit une liste de fautes pour lesquelles il génère en mode ATPG (Automatic Test Pattern Generation) les vecteurs de test (les valeurs à appliquer sur les entrées primaires qui permettront de propager ces défauts sur les sorties primaires) et délivre le taux de couverture. Ce dernier est une métrique permettant de mesurer l'efficacité d'un jeu de vecteurs donné et correspond au rapport suivant :

$$TC = \frac{\text{Nb de fautes détectées}}{\text{Nb de fautes totales}}$$

Le taux de couverture du bloc logique étant initialement de 93.91%, l'approche conventionnelle pour d'améliorer la testabilité du bloc a été d'insérer une chaîne de scan. Cette opération a permis d'isoler les blocs combinatoires du circuit, de façon à les tester en tant que tels. Pour cela, il a été nécessaire de modifier les bascules du circuit en bascules « scan » et de les relier entre elles de manière à établir un accès série (registre à décalage). Un multiplexeur placé dans chaque bascule « scan » permet d'obtenir deux modes de fonctionnement pour la chaîne de scan :

- Le mode "chargement parallèle" ou mode "normal". Dans ce cas, la modification des bascules est transparente et le circuit conserve sa fonctionnalité initiale.
- Le mode "décalage" ou mode "test". La chaîne de scan est alors comparable à un registre à décalage permettant d'acheminer les vecteurs de test en série à travers les bascules.

Les réponses du circuit sont capturées dans le mode de fonctionnement normal, puis sorties en série par l'intermédiaire du mode test.

La figure 9 décrit la modification apportée à une bascule et la façon dont celle-ci s'insère dans le circuit. Les bascules scan sont connectées entre elles pour former la chaîne de scan. Cette chaîne possède une entrée (scan_in) et une sortie (scan_out). Le signal mode de fonctionnement permet de choisir le mode de fonctionnement de la chaîne de scan.

Le mode "test" permet de charger les données de test et de décharger les réponses du circuit. Le mode "normal" est quant à lui utilisé pour le fonctionnement normal du circuit mais également pour récupérer la réponse du circuit à un vecteur de test.

L'outil *dc_shell* a été utilisé pour insérer les bascules scan et générer une nouvelle netlist qui comporte deux entrées supplémentaires :

- test_si qui est l'entrée du registre à décalage (chaîne de scan).
- test_se qui est le signal de contrôle des multiplexeurs rajouté dans les bascules.

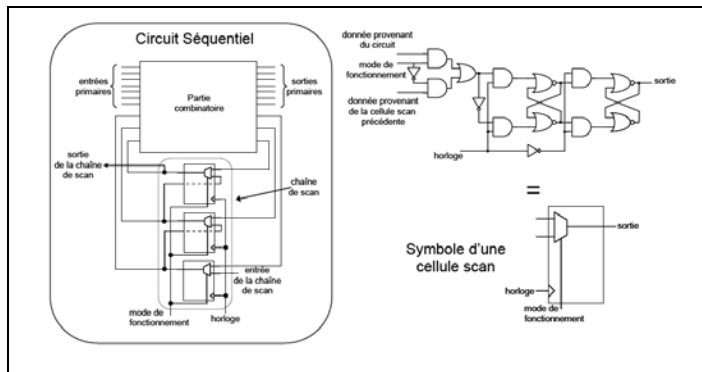


Fig9 : Description d'un circuit séquentiel muni d'une chaîne de scan



Fig10: Testeur Verigy 93000®

A partir de cette netlist, une nouvelle simulation de fautes a été réalisée avec TETRAMAX® qui a permis d'obtenir un taux de couverture de 100% et de générer un nouveau jeu de vecteurs de test qu'il faudra convertir au format testeur.

IV. Vérification du circuit sur testeur industriel

Testeur du CRTC

Le pôle CNFM de Montpellier dispose d'un testeur industriel, le V93000 Pin Scale, de la société Verigy®. Il a été installé en 2006 dans les locaux du Centre de Ressources en Test -CRTC- de Montpellier lors de la mise en place d'un projet de recherche et d'un partenariat pour les formations de test avec Verigy®. Cet équipement permet de tester des circuits digitaux jusqu'à 64 broches et fonctionnant à une fréquence maximum de 3.6Gsp/s, ainsi que des circuits analogiques et mixtes conçus pour des applications audio et vidéo.

Le testeur est piloté par un logiciel, *SmarTest*, dont les outils permettent de vérifier la fonctionnalité d'un circuit, ses caractéristiques électriques et temporelles, de rechercher la source d'un problème grâce aux outils de diagnostic et de le caractériser. Les données sont transférées au testeur par fibre optique. La photo -figure 10- représente le testeur du CRTC du pôle CNFM de Montpellier.



Fig11 : Cartes mère et fille

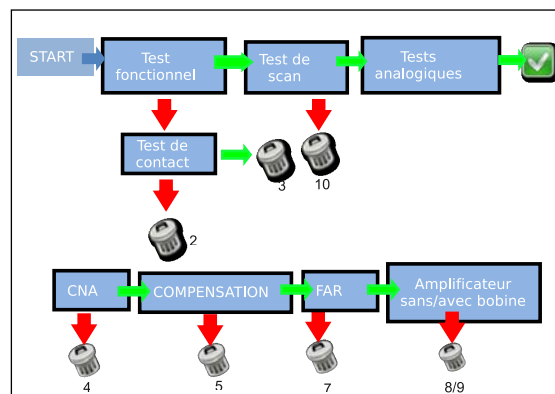


Fig12 :Flot de test implémenté

Carte de test

Il est nécessaire de développer une carte de test spécifique pour chaque circuit testé. Cette carte d'interface entre le testeur et le circuit va permettre de router les signaux électriques générés par le testeur jusqu'au circuit sous test et de capturer les signaux sur les sorties afin de déterminer si la réponse du circuit est correcte. Pour limiter les coûts de fabrication et faciliter la vérification du programme de test, la carte de test réalisée par Strasbourg pour valider le circuit en laboratoire a été conçue de façon à pouvoir être facilement connectée avec la carte d'interface du testeur. Ce choix a ainsi permis de s'affranchir des contraintes liées au boîtier. Seule la vérification de la connectique entre la carte de validation et celle de test a été effectuée (7 connecteurs SMA pour envoyer/capturer des signaux analogiques de/avec le testeur, et une nappe digitale pour programmer les registres de contrôle et tester le bloc de contrôle par des stimuli générés par le testeur). La photo de la figure 11 montre la carte de validation connectée d'une part à la carte fille digitale (nappe) et d'autre part à la carte fille analogique (câbles SMA).

Développement du programme de test

Afin que la distance ne pénalise pas le développement du programme de test, nous avons utilisé l'outil VNC (Virtual Network Connection) [3] permettant le partage de bureaux distants, nous autorisant ainsi de visualiser le flot de test en simultané sur les 2 sites (Strasbourg et Montpellier) et de «prendre la main» sur le poste distant. Le programme de test a été créé depuis Strasbourg tandis que la vérification s'est effectuée à Montpellier en présence des deux collaborateurs.

Un signal électrique envoyé sur une broche du circuit par le testeur est la combinaison d'une information logique stockée dans la mémoire vecteur associée à cette broche, d'une information temporelle composée d'une forme d'onde associée à des fronts et d'une information électrique de type tension d'entrée ou de sortie en fonction de la nature de la broche. Définis pour chaque broche, ces signaux électriques sont la base des stimuli activant un circuit lors du test. Le développement d'un programme de test suit donc une chronologie d'étapes bien établies : l'assignation des broches du circuit aux canaux du testeur (*pins configuration*), pour chaque broche la définition des niveaux logiques (*levels*), puis la définition des formes d'onde et fronts associés (*timing*) et enfin, la création de vecteurs de test (*vector*). A partir de ces éléments de base, le flot de test décrit à la figure 12 a été généré.

Le premier test vérifie la capacité du circuit à effectuer une compensation d'offset automatiquement. Le test Scan, de type structurel, vérifie l'implantation d'une chaîne de scan dans le bloc de logique de contrôle. Une fois la partie digitale vérifiée, ce sont ensuite les tests de la fonctionnalité du bloc CNA, de la compensation d'offset en mode manuel, du filtre anti-repliement et des amplificateurs ($\times 100$ et $\times 25$) - figure 2- qui sont effectués.

Validation

Cette phase a été facilitée d'une part par l'utilisation de circuits initialement testés en laboratoire dont les caractéristiques électriques et spectrales étaient déjà connues. D'autre part, l'usage de la carte de validation a permis de s'affranchir de tous les problèmes de contact entre le composant, le réceptacle, la carte de test et le testeur.

La phase de validation s'est effectuée au CRTC en présence des deux collaborateurs. Grâce à leurs compétences complémentaires, leur connaissance parfaite du circuit et leur maîtrise du testeur, seuls deux jours ont été nécessaires pour vérifier le fonctionnement du circuit sur le testeur.

V. Travail restant et perspectives - Conclusion

Il reste encore quelques tests à implémenter ou à finaliser. Il s'agit notamment du test de scan dont la conversion du vecteur de test issu de l'ATPG (Automatic Test Pattern Generator) TETRAMAX® n'est pas terminée. D'autre part, concernant la chaîne instrumentale, la bascule à déclenchement en sortie du convertisseur sigma-delta n'étant pas fonctionnelle, il faudra attendre une nouvelle version du circuit intégré pour développer les tests de ce bloc.

En conclusion, ce projet, qui a été supporté par le CNFM dans le cadre des aides à la mise en place de travaux pratiques innovants, est le succès d'une collaboration à distance permettant au CRTC et Master MNE de Strasbourg de bénéficier d'un nouveau support pédagogique pour l'enseignement du test de circuits mixtes analogique-numérique.

Plus particulièrement, pour le CRTC, ce circuit représente la perspective de pouvoir mettre en place du test concurrent, c'est-à-dire de tester en parallèle plusieurs blocs qui ne font pas appel aux mêmes ressources matérielles du testeur.

Références

- [1] A. Bozier, L. Hébrard, F. Braun, B. Pradarelli, L. Latorre, «Projet d'enseignement Master MNE Strasbourg – CRCT, JPCNFM'2008, Saint-Malo, 26-28 nov. 2008
- [2] J.-B. Kammerer, L. Hébrard, V. Frick, P. Poure, and F. Braun, "Hall effect sensors integrated in standard technology and optimized with on-chip circuitry", EJPAP, vol. 36, 2006, pp. 49-64
- [3] Xiaolin Lu, "Construct Collaborative Distance Learning Environment with VNC Technology", Semantics, Knowledge and Grid, 27-29 Nov. 2005, pp.:127-130.